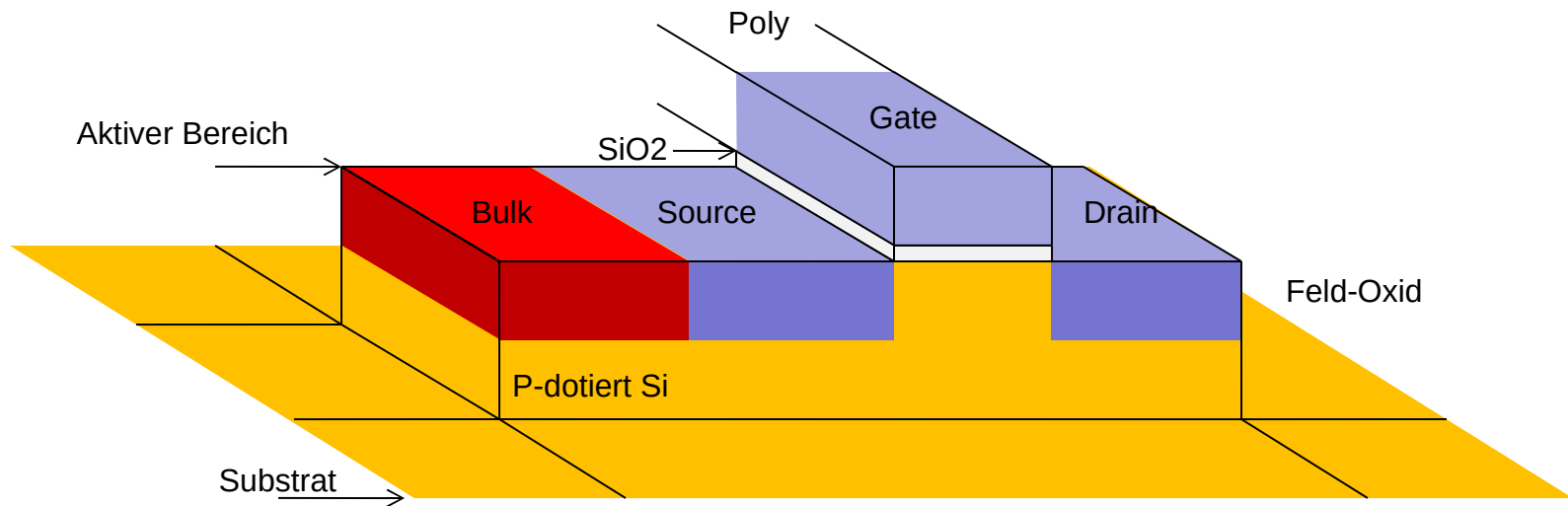


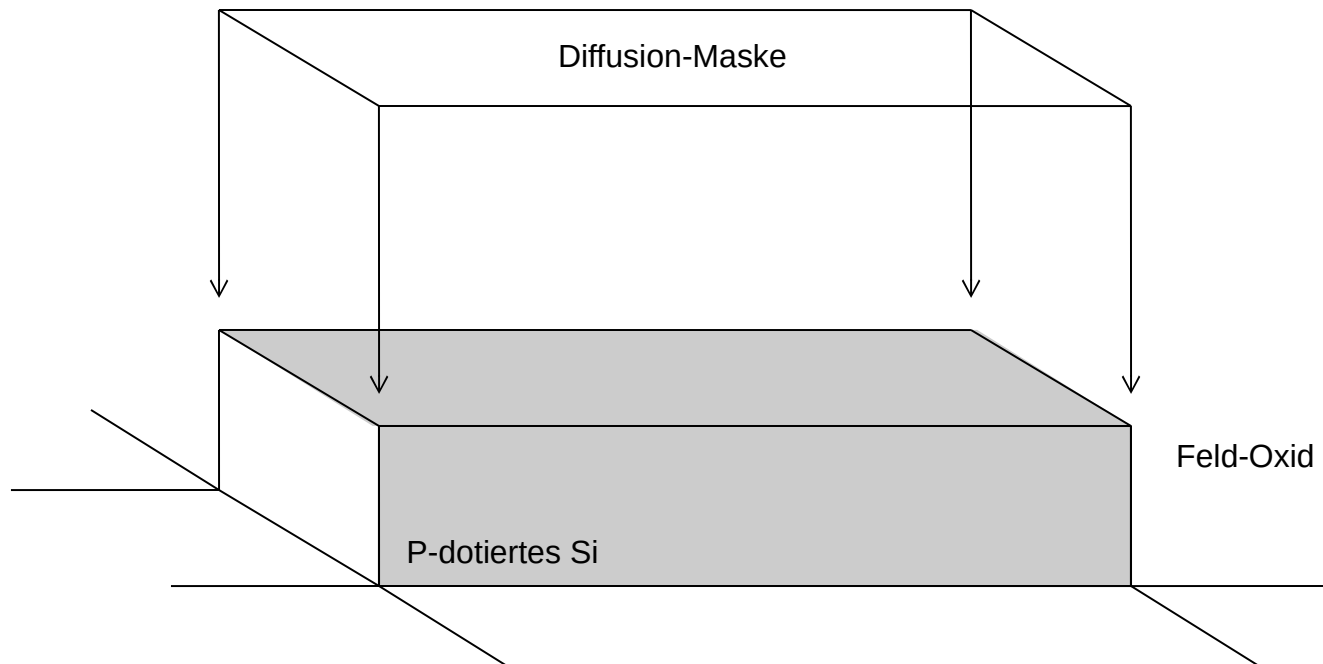
Vorlesung 4

- MOSFET
- Elektronische Schaltungen
- Schwache Inversion, Substrateffekt, Kapazitäten, Mobilitätssättigung
- MOSFET 1
- MOSFET 2
- Verstärker, Komponenten 1 (AC+DC)
- Verstärker, Komponenten 2 (AC+DC)
- DAS 13, Transistor – Ok, ohne BJT, Verstärker OK, AC + Stabilität (zusammen mit Ampl.)
- Übung nächste Woche – Aufgaben 1 + Kennlinien
- ROUTFB – Theorie oder Simulation, Genauigkeit 5%
- Sprechzeit: Freitags, 11-17, IPE (Prozessdatenverarbeitung und Elektronik), Raum 119, Campus Nord, sonst nach Vereinbarung, bitte am Tag vorher Email an mich oder Richard Leys
- Beispiel Verstärker mit $A=4$, R_{in} , R_{out}

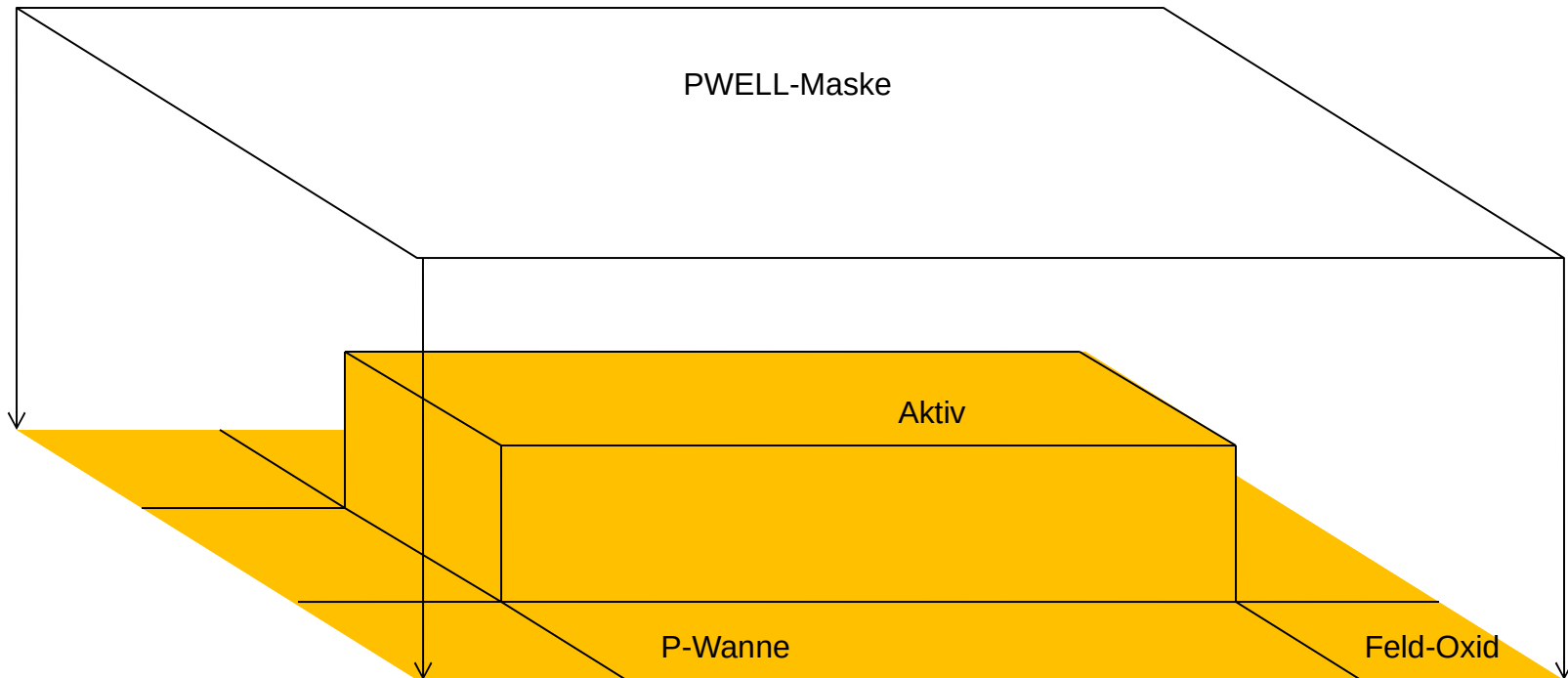
- MOSFET
- Transistor ist seitlich vom Isolator Feld-Oxid umgeben
- Source – Quelle, Drain - Abfluss



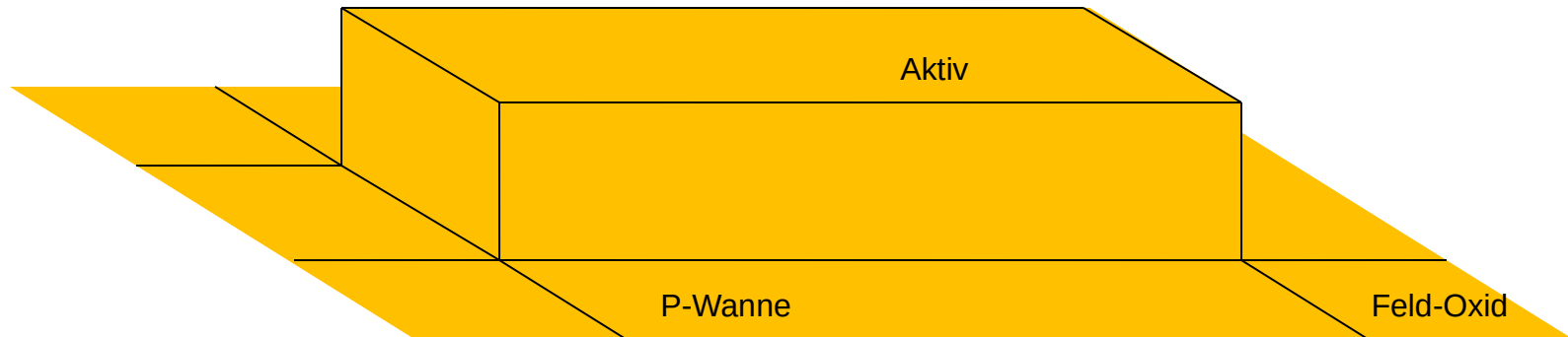
- „Diffusion“ Lage (=Maske) (DIFF) definiert aktive Bereiche – draußen ist Feld-Oxid



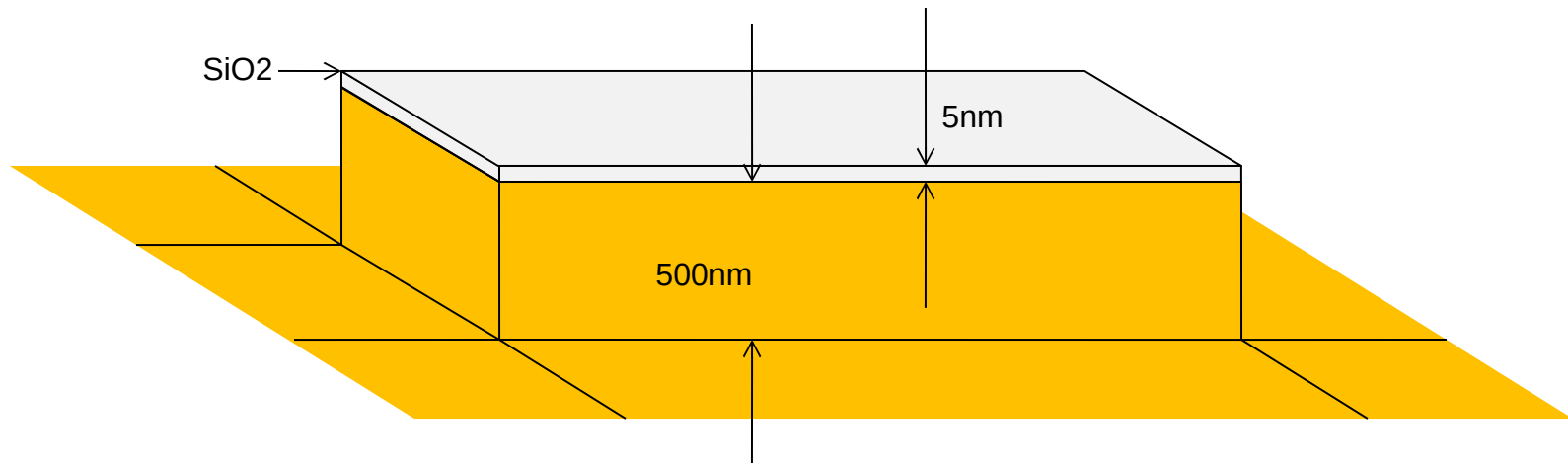
- Ein NMOS befindet sich in einem lokalen P-Typ Substrat (PWELL Lage) (P-Wanne)



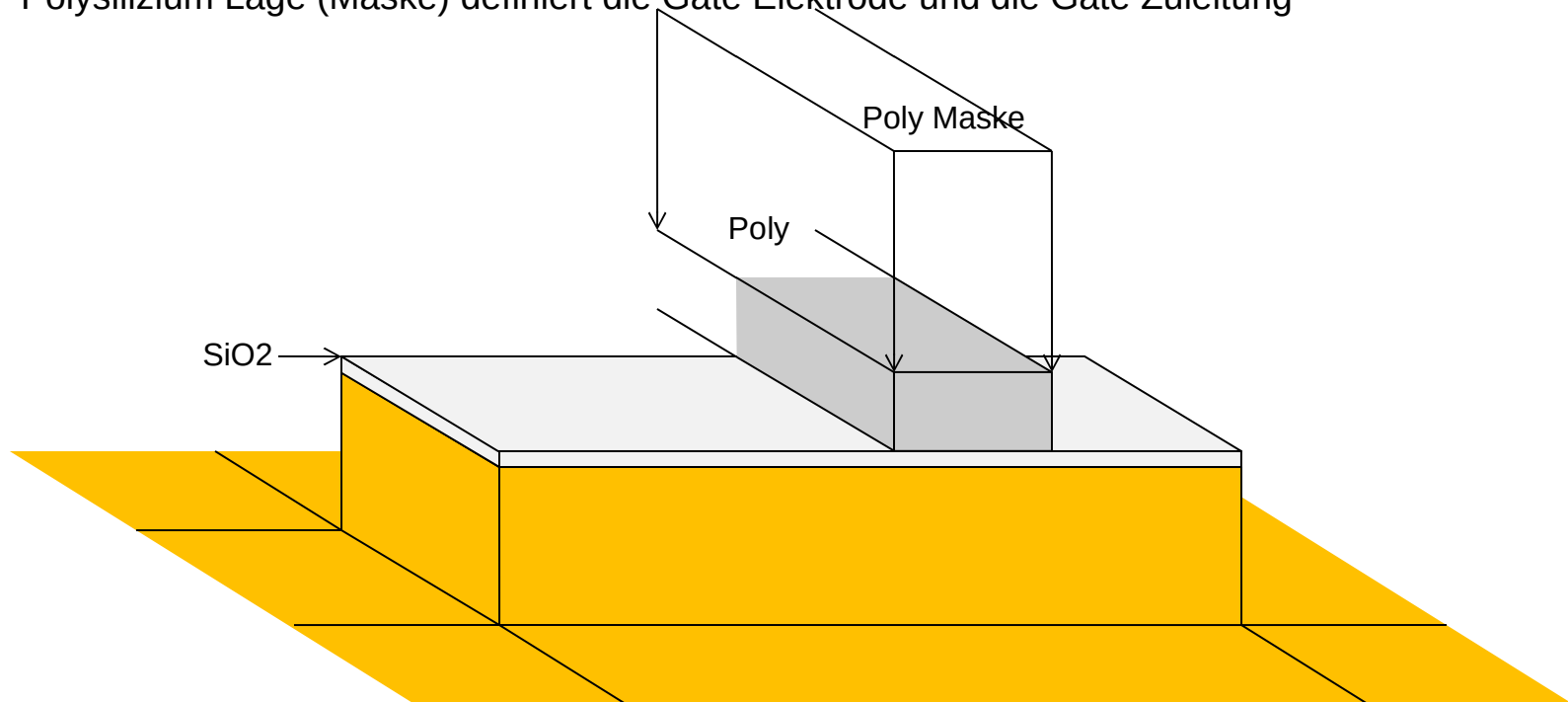
- ...



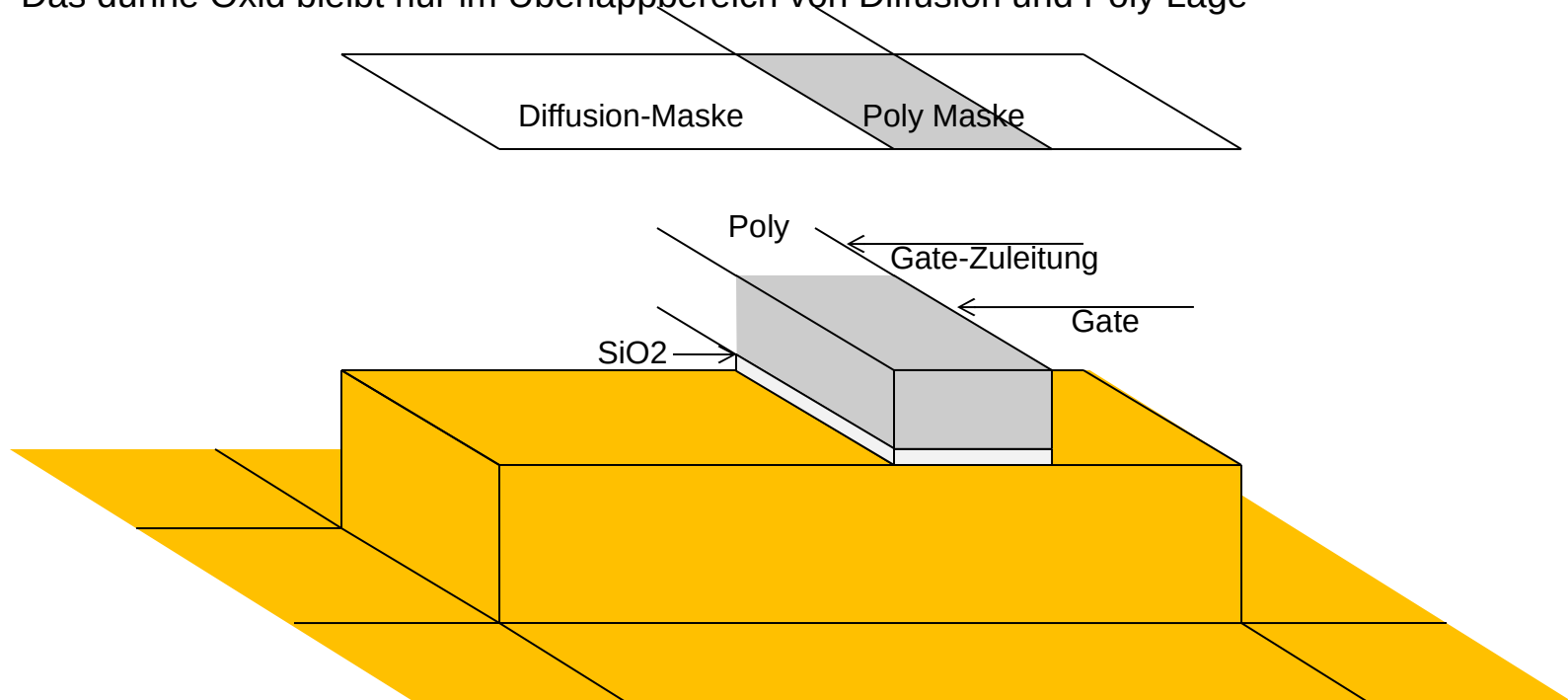
- Dünnes Oxid wird auf dem aktiven Bereich erzeugt
- $\epsilon = 3.9 \cdot 8.854 \cdot 10^{-12} \text{ F/m}$, $C_{ox} = 7 \text{ fF}/\mu\text{m}^2$



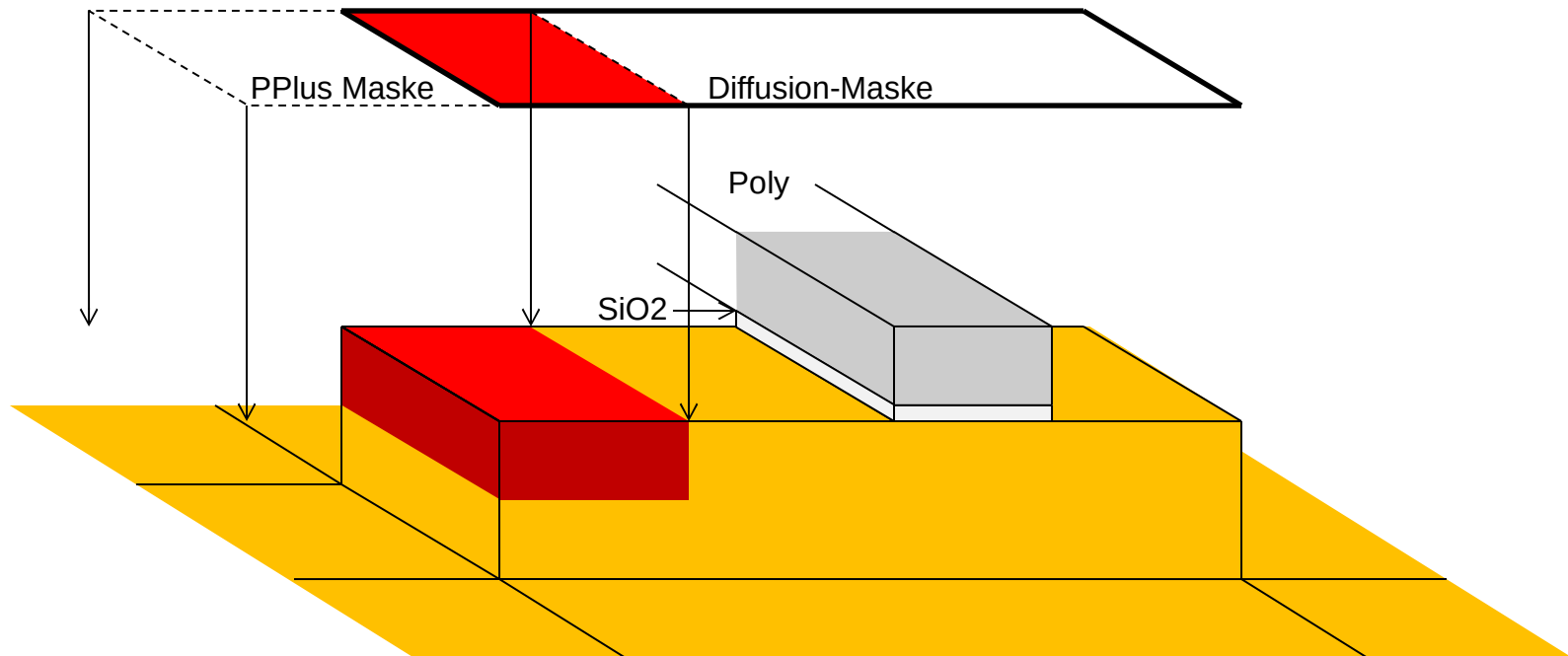
- Polysilizium Lage (Maske) definiert die Gate Elektrode und die Gate Zuleitung



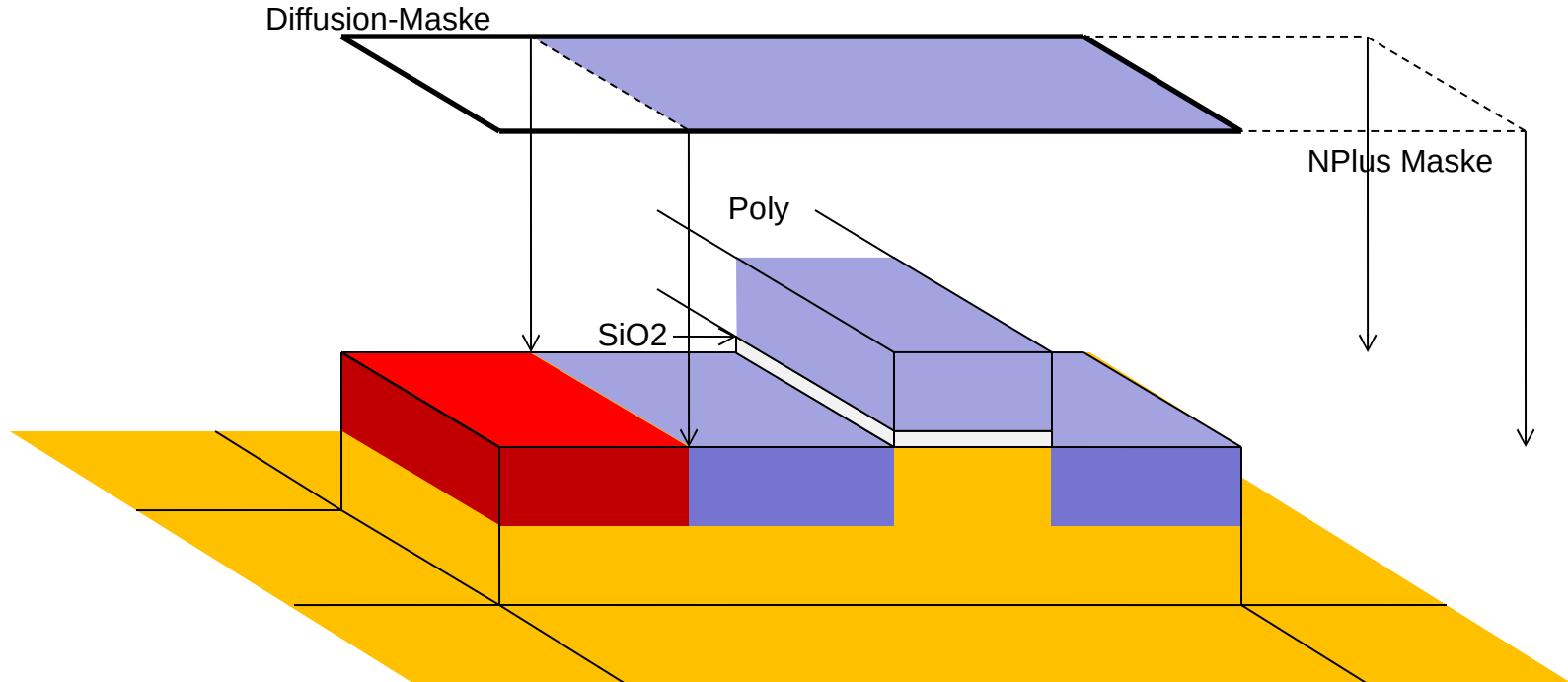
- Das dünne Oxid bleibt nur im Überlappbereich von Diffusion und Poly Lage



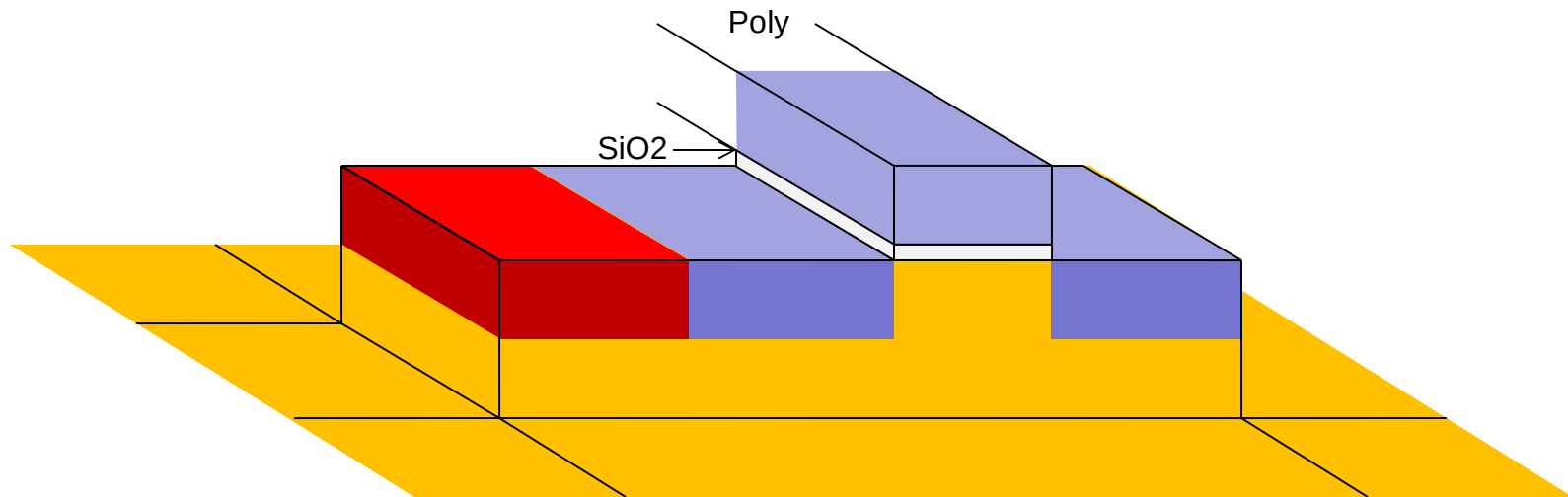
- P-Puls Maske -> Überlapp von Diffusion und P-Plus Lagen wird P-Dotiert



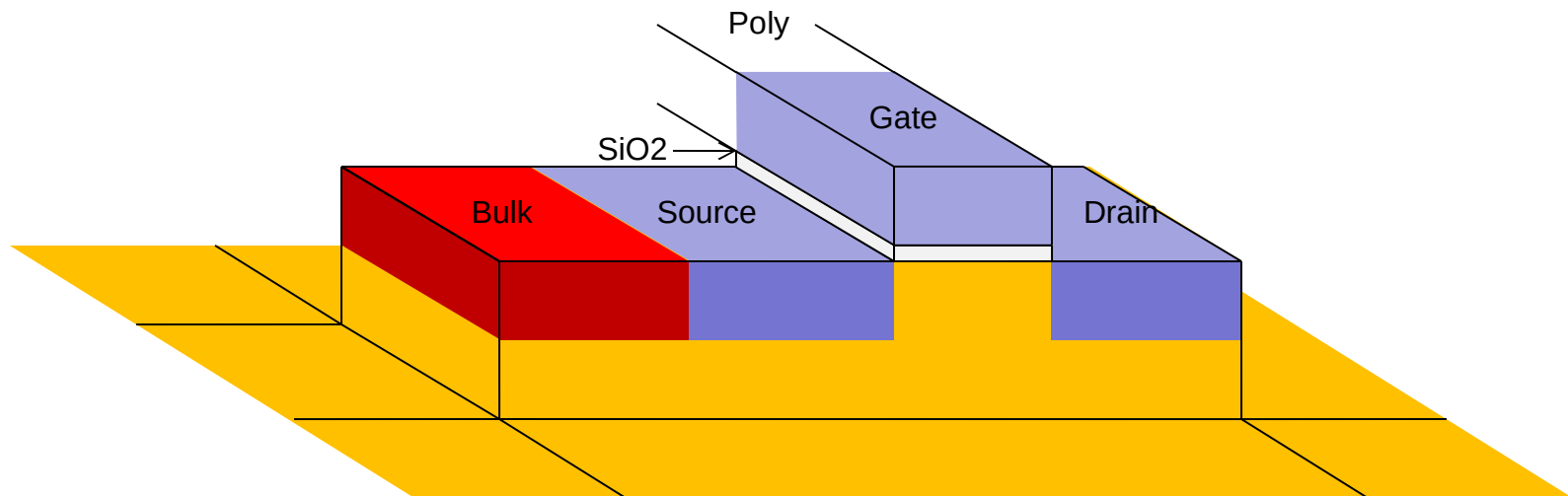
- N-Puls Maske -> Überlapp von Diffusion und N-Plus Lagen wird N-Dotiert (auch Poly-Gate)



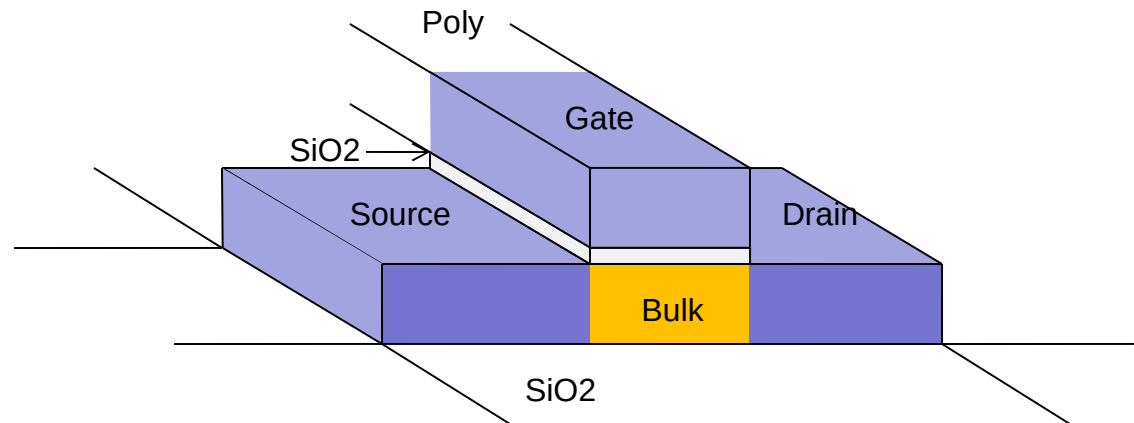
- Transistor ist fertig



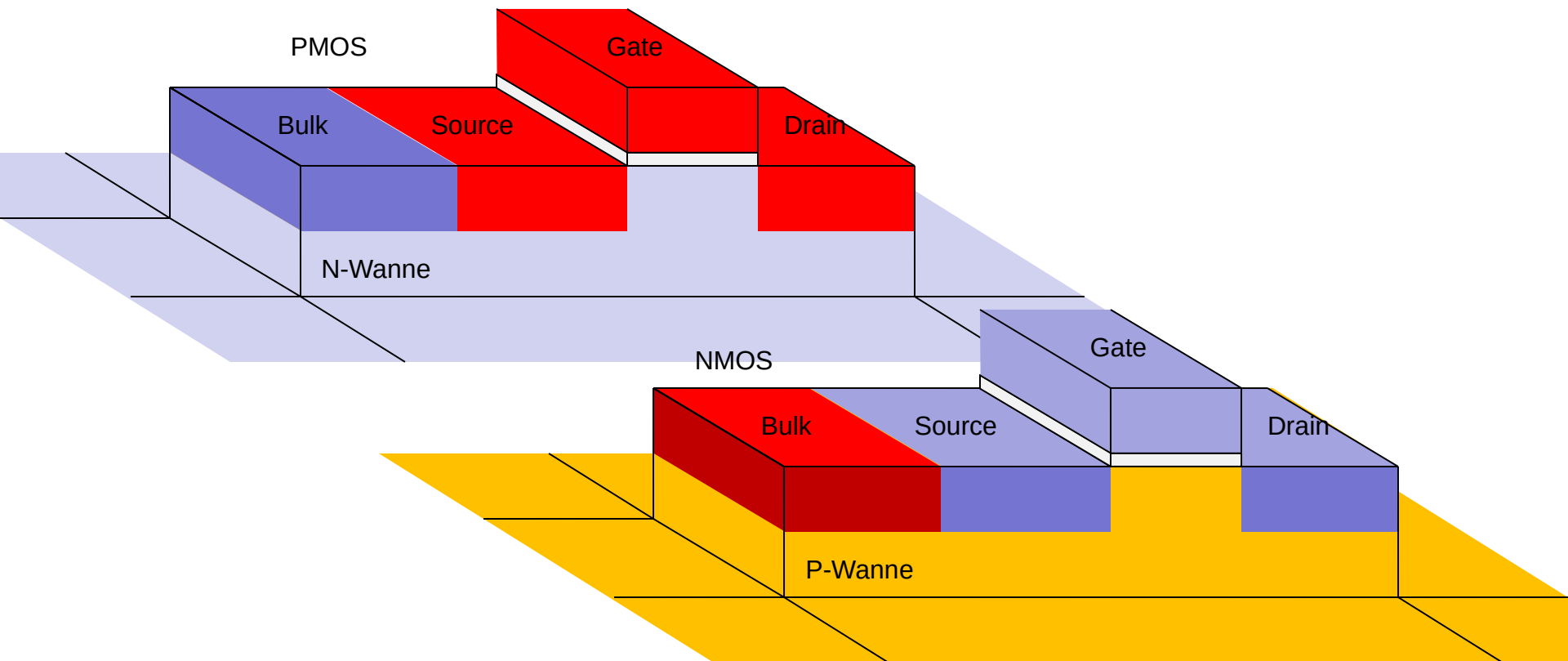
- Vier Elektroden: Source, Drain, Gate und Substrat (Bulk)
- Source: Quelle für freie Ladungsträger (NMOS: Elektronen), Drain sammelt sie
- Gate dient zur Steuerung
- Substratkontakt



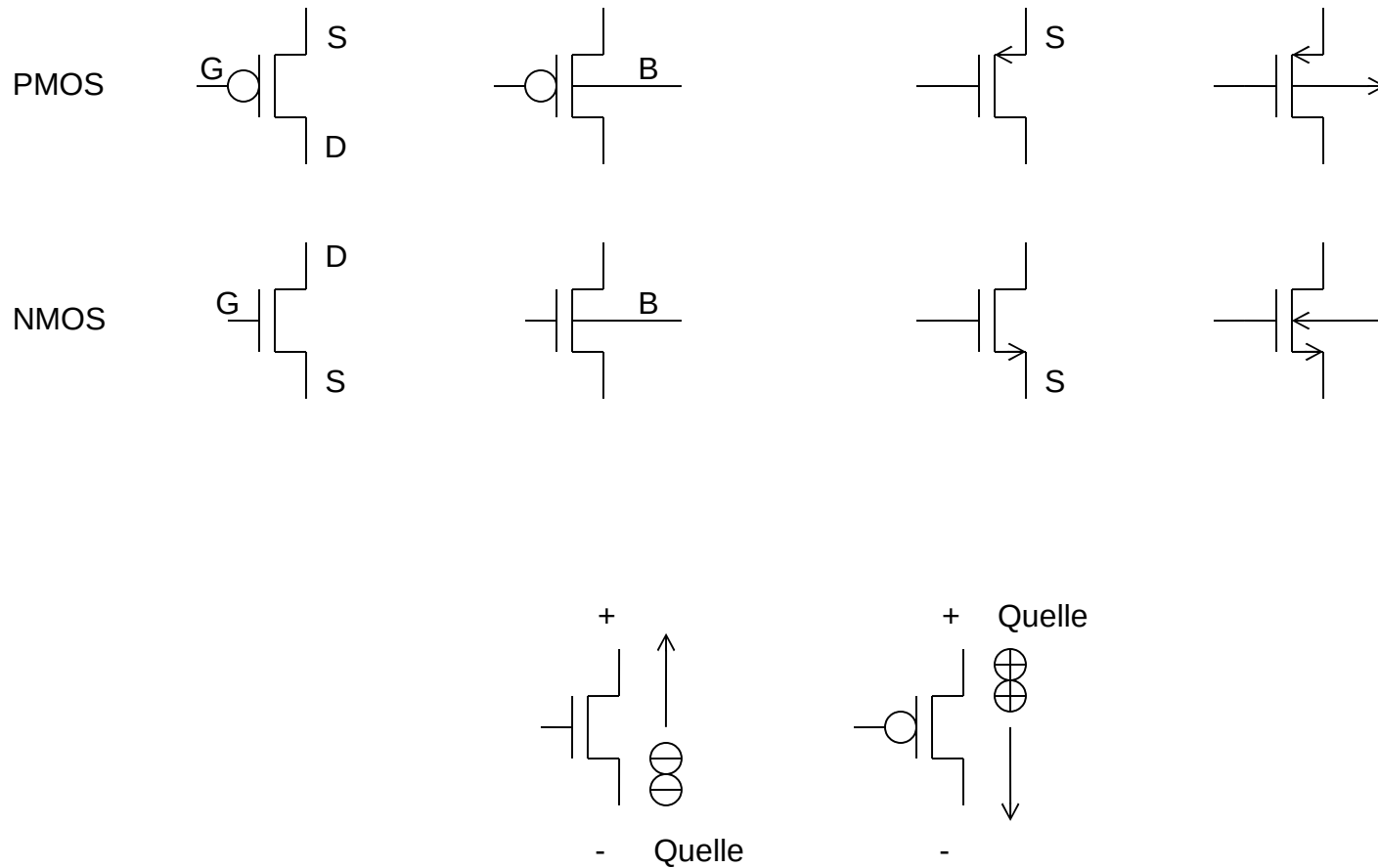
- SOI NMOS Transistor
- Hat keinen Substratkontakt



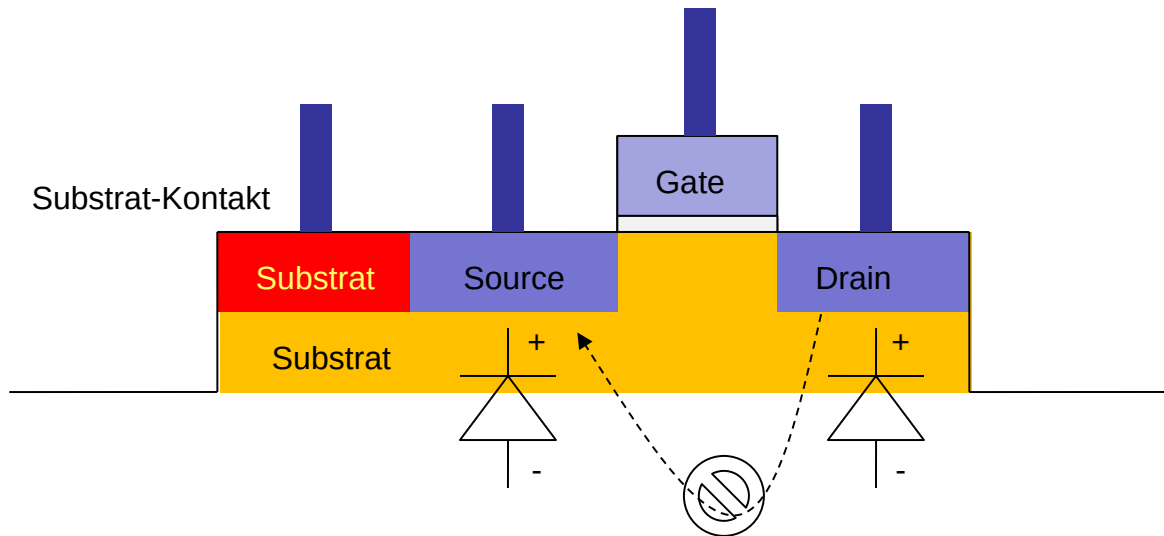
- PMOS: alle Dotierungen negiert



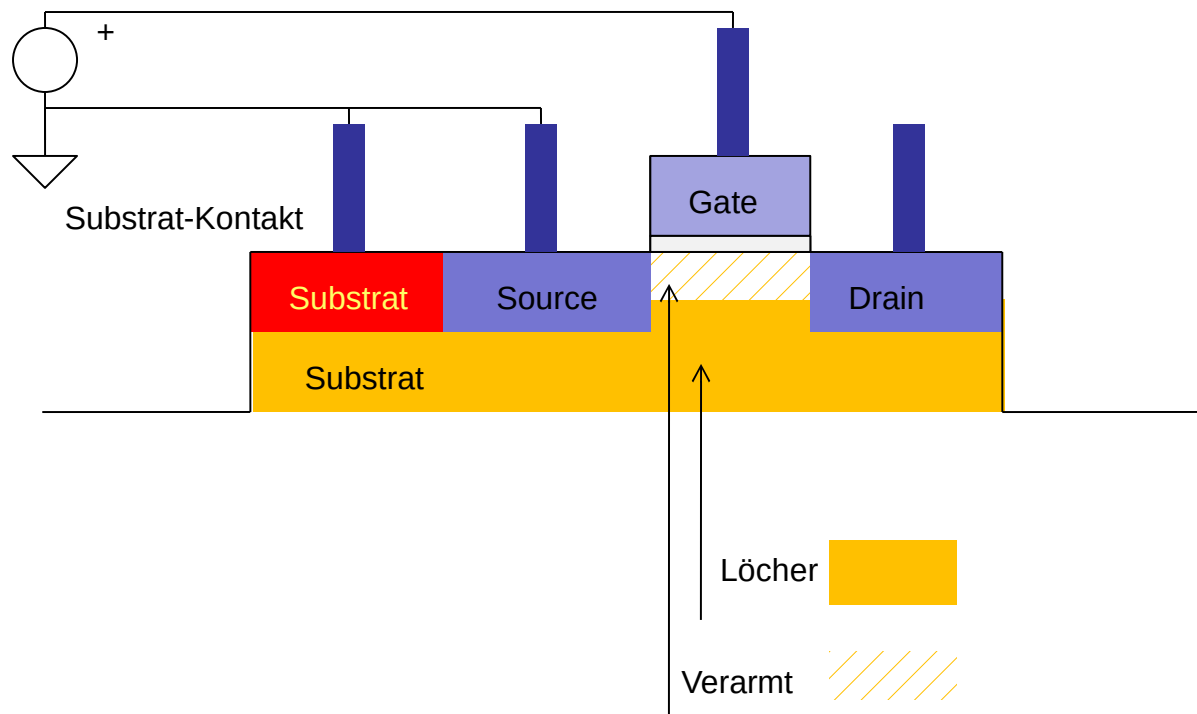
- NMOS und PMOS Symbole
- Schalter-Symbole
- Symmetrisch, wie erkennen wir S und D?



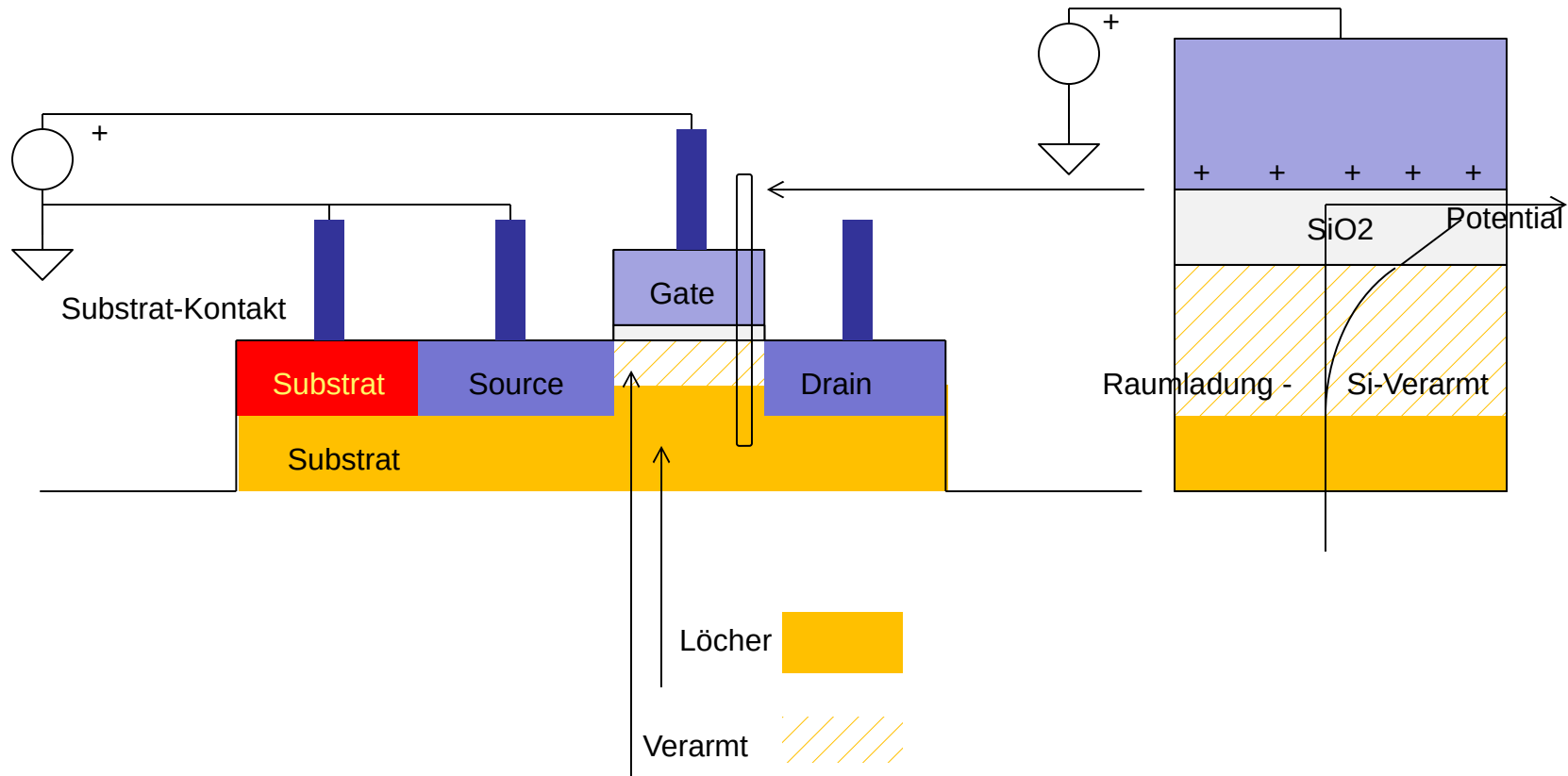
- 2 PN Dioden
- Müssen in Sperrrichtung gepolt werden
- $V_b < V_s, V_d$
- Kein Strom zwischen dem Drain und der Source



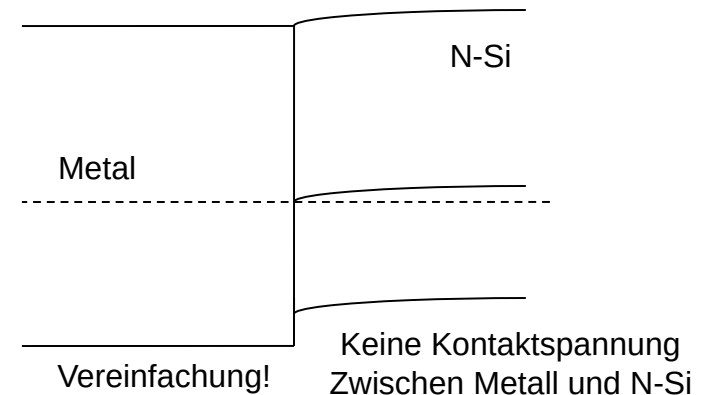
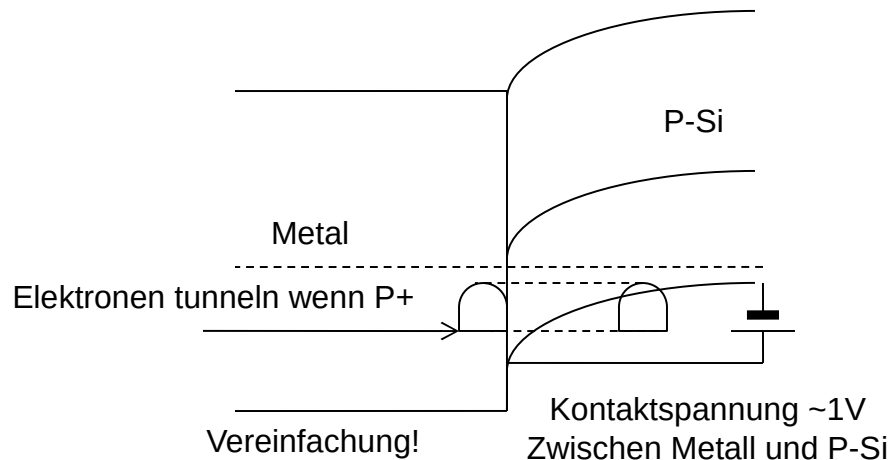
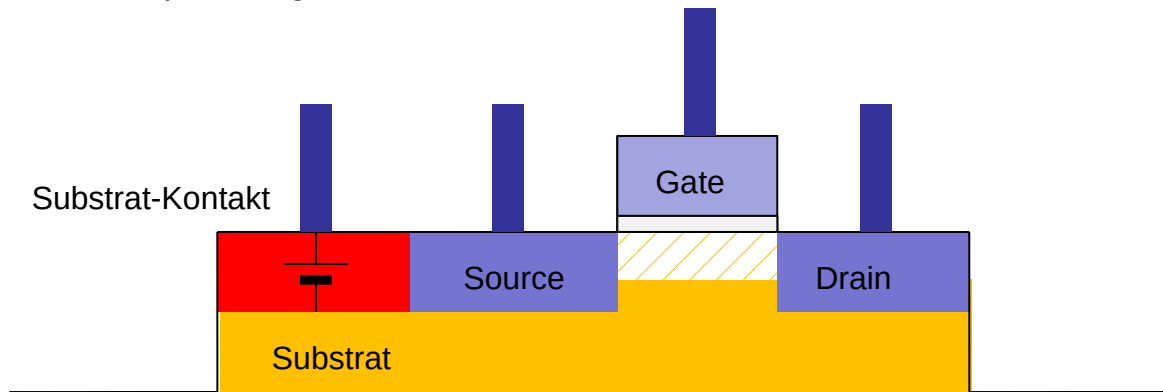
- Substrat verarmt
- Raumladung, Feld, Potentialänderung



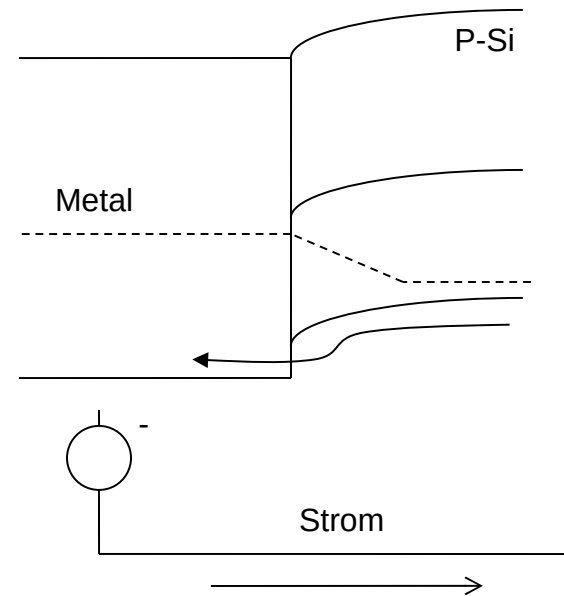
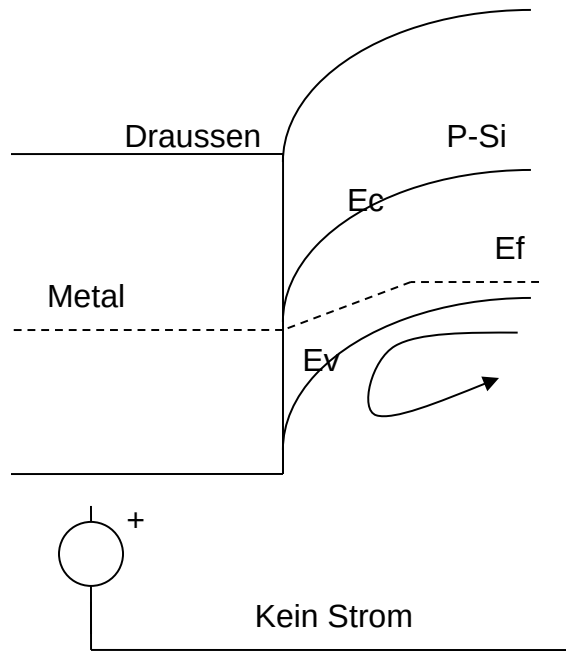
- Substrat verarmt
- Raumladung, Feld, Potentialänderung



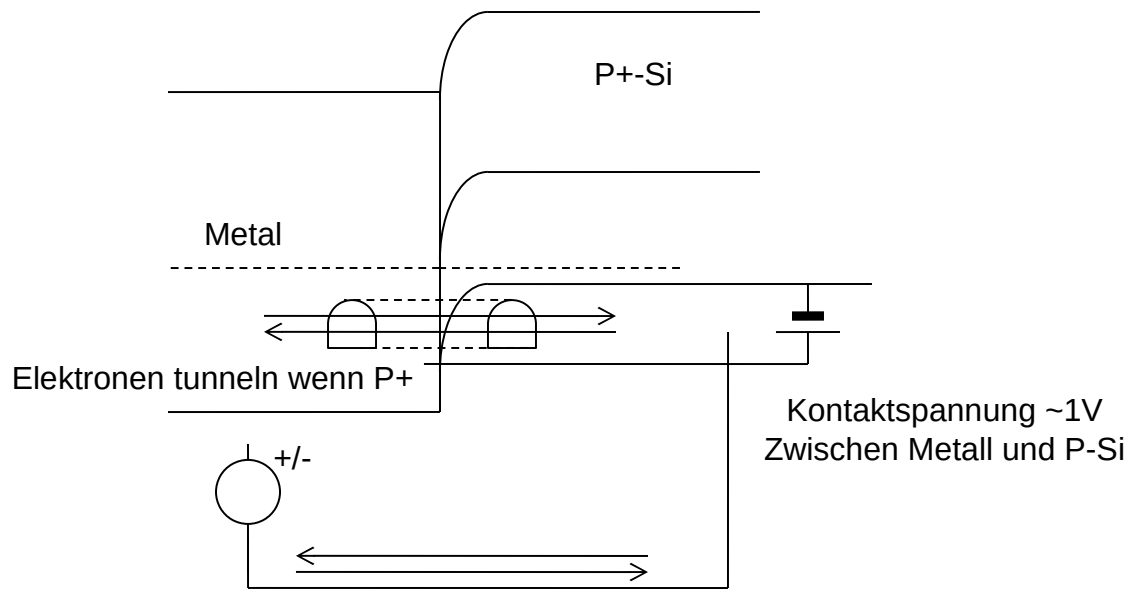
- Zwischen Silizium und Metallelektroden gibt es Kontaktspannungen
- Gate ist normalerweise wie Source und Drain dotiert
- Schottky und Tunnel-Kontakt
- Annahme: Kontaktspannung $\sim 1V$ zwischen Metall (+) und P-Si (-)
- Keine Kontaktspannung zwischen Metall und N-Si



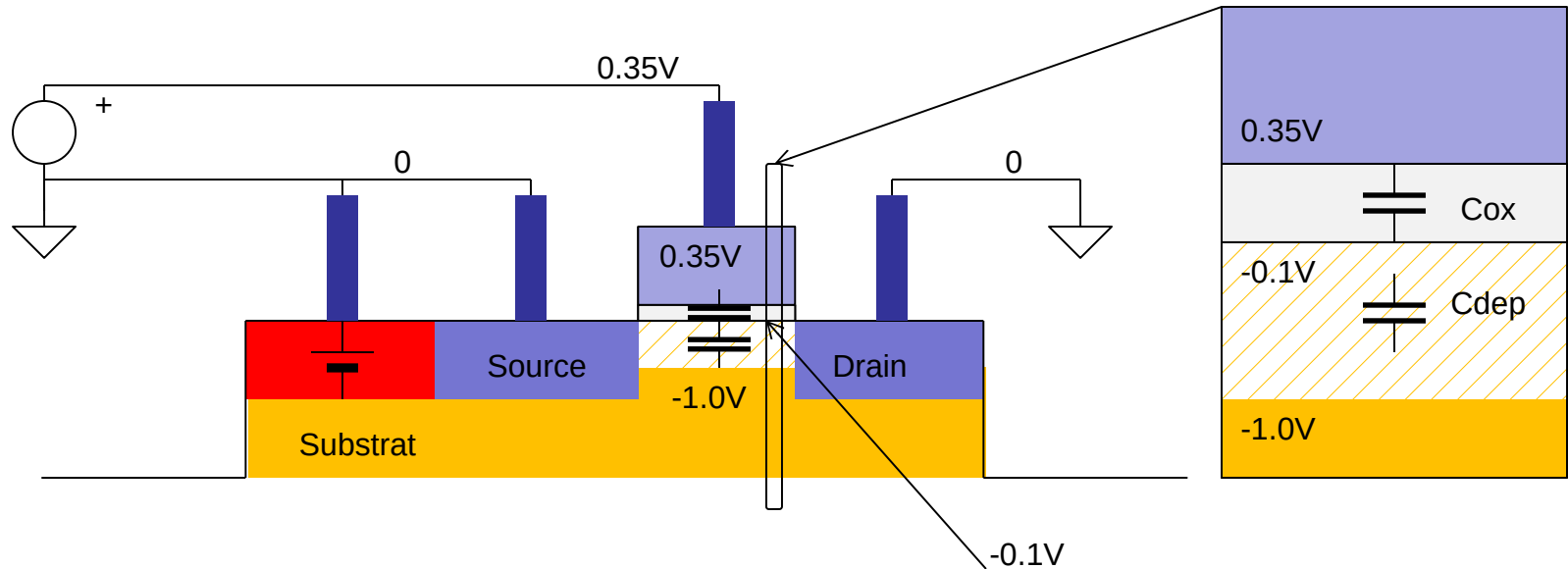
- Schottky Kontakt wenn P-



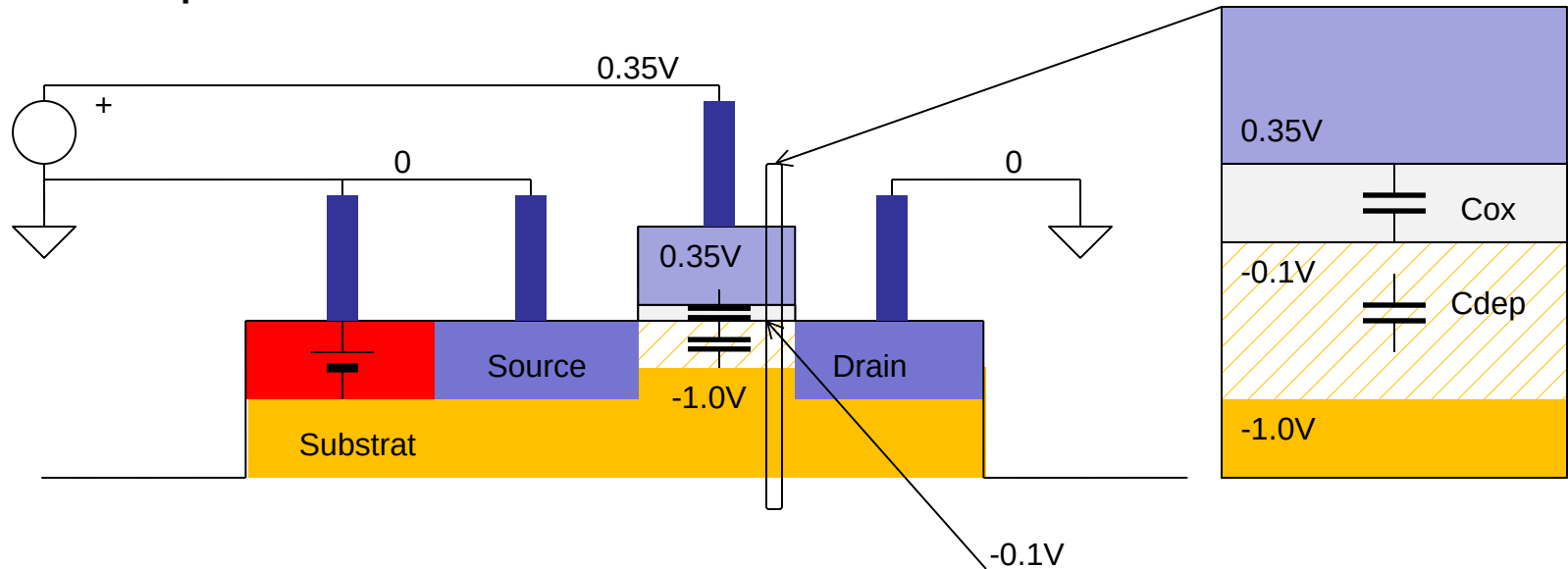
- Tunnel-Kontakt wenn P+ (Ohmsches Kontakt)
- Barriere dünn - Elektronen tunneln



- Potentiale für $V_{s/d} = 0V$, $V_g = 0.35V$
- Kapazitiver Spannungsteiler
- 1. Oxidkapazität C_{ox} , 2. Dynamische Kapazität der Verarmungszone C_{dep}

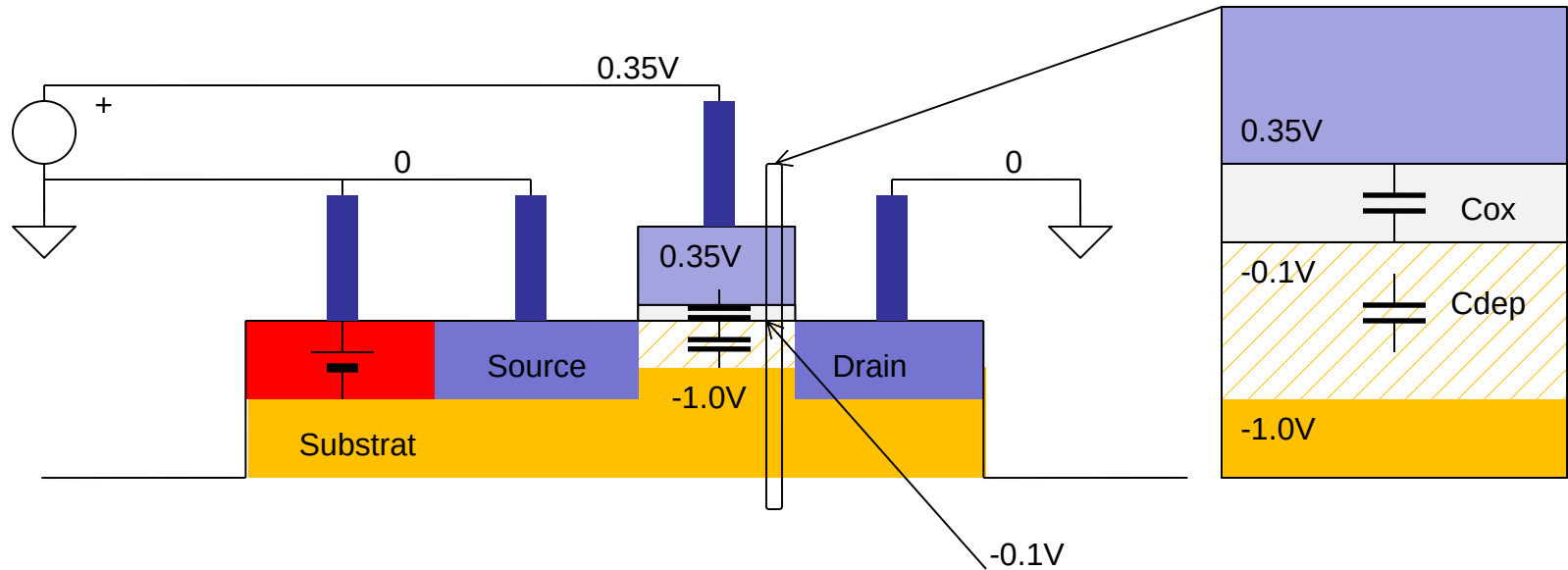


- $C_{ox} = \epsilon_{SiO_2} / t_{ox}$ ($\epsilon_r = 3.9$)
- $C_{dep} = \epsilon_{Si} / t_{dep}$ ($\epsilon_r = 11$)
- **$C_{ox} \sim 2 * C_{dep}$**

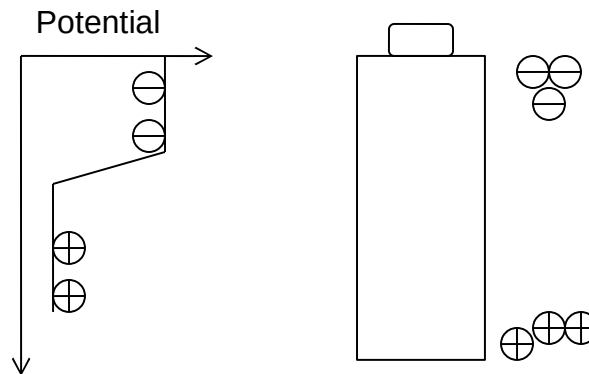
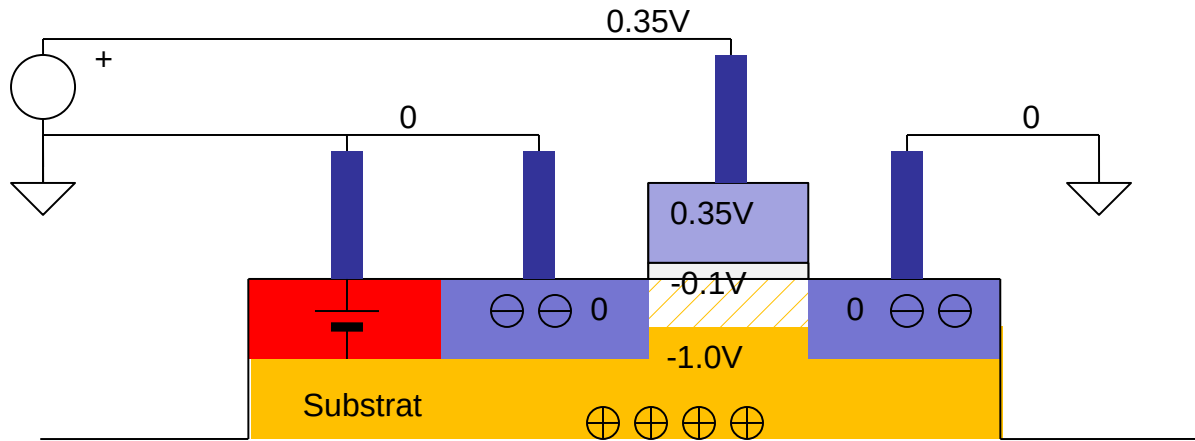


- [illegible]

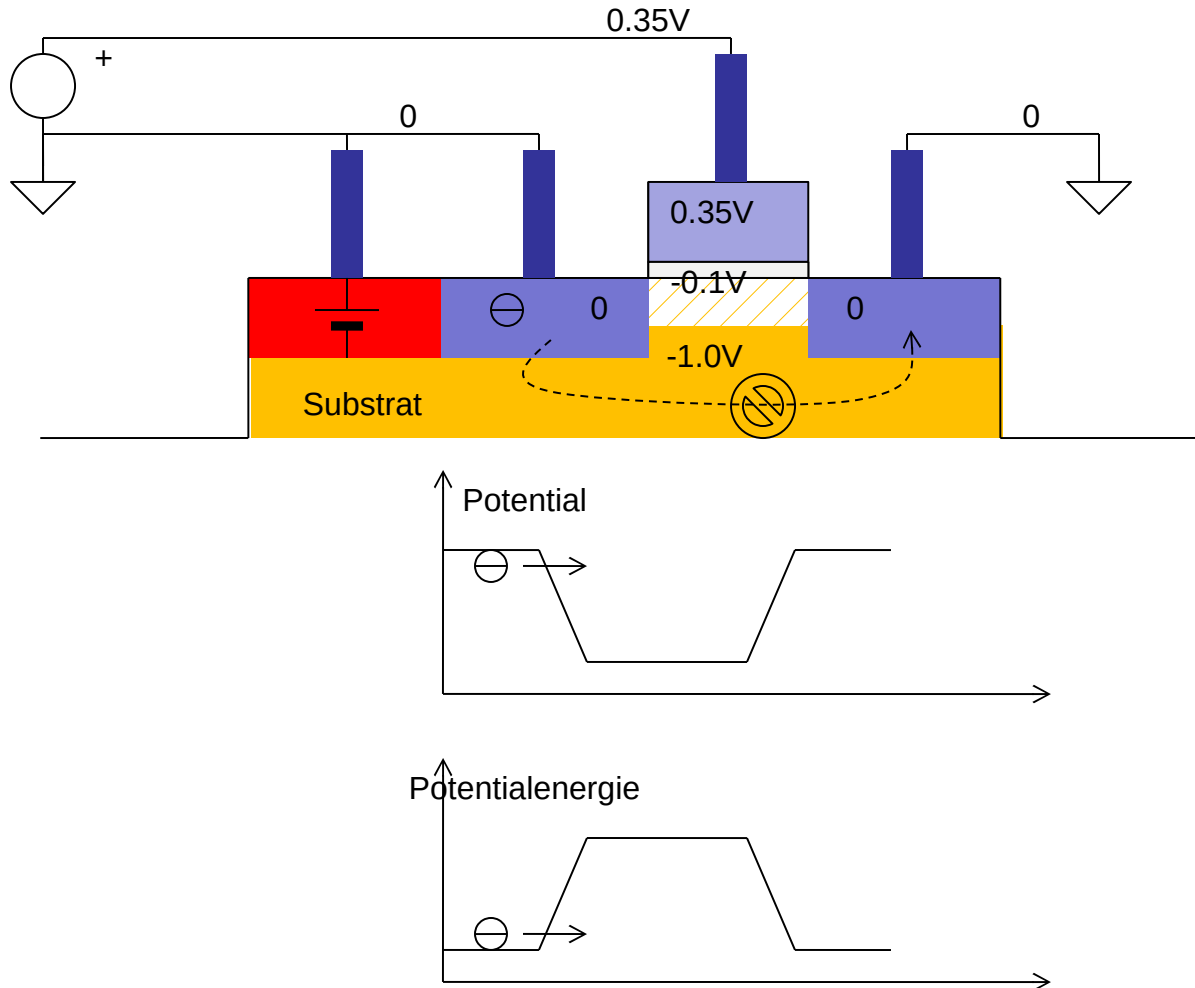
- Definition: $n = (C_{ox} + C_{dep}) / C_{ox} = 1.5$



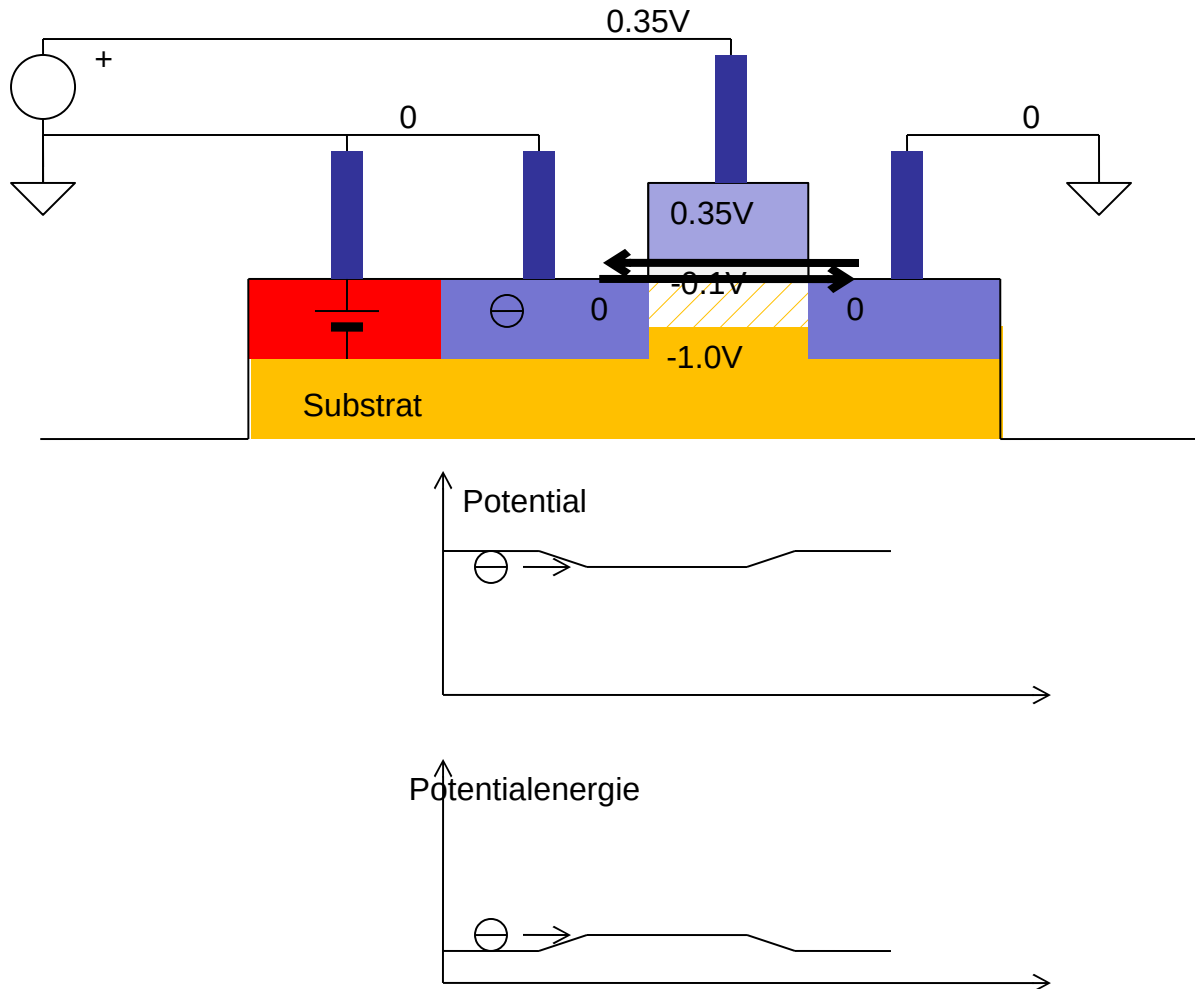
- Substrat niedriges Potential - Löcher
- Source und Drain höheres Potential - Elektronen



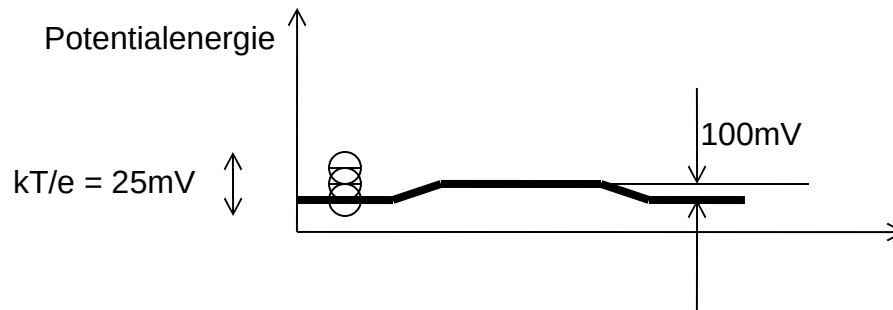
- Substrat – Barriere für Elektronen



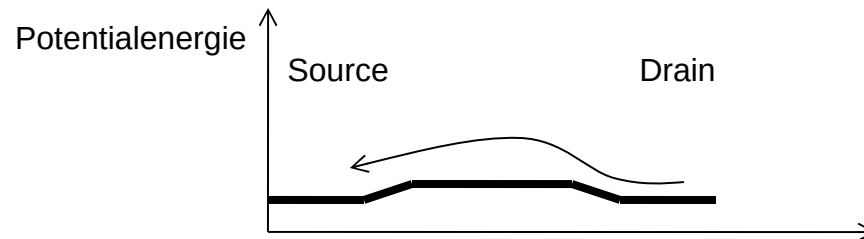
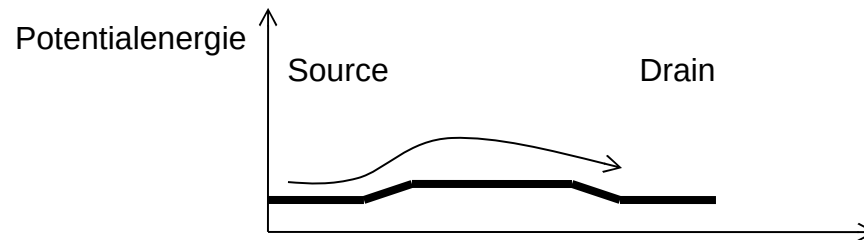
- Oberfläche vom Substrat ist verarmt aber stellt nur eine kleine Barriere dar



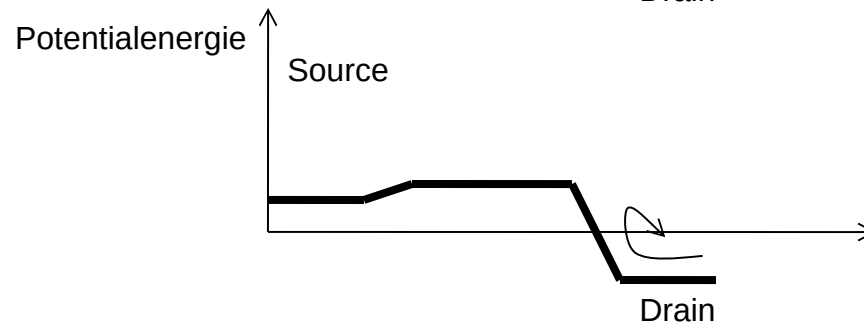
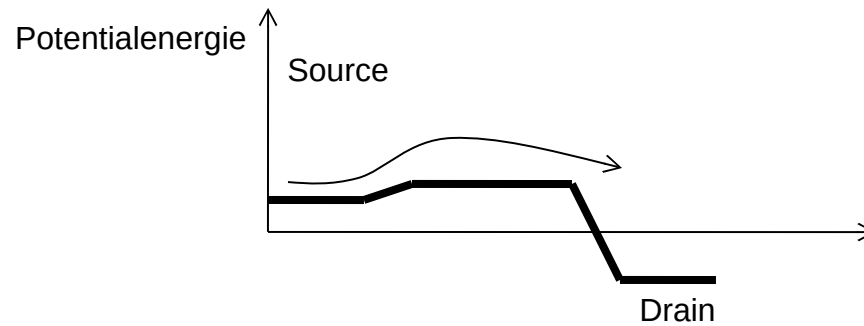
- Was bedeutet klein?
- Thermische Energie bei Zimmertemperatur $U_T \sim 25\text{mV}$ (kT/e) ($e = 1.602 \cdot 10^{-19} \text{ C}$)
- Wahrscheinlichkeit dass ein Elektron auf Zimmertemperatur eine 100mV Barriere (U_b) überwindet ist etwa 2%
- Exponentialfunktion $\exp(-U_b/U_T)$



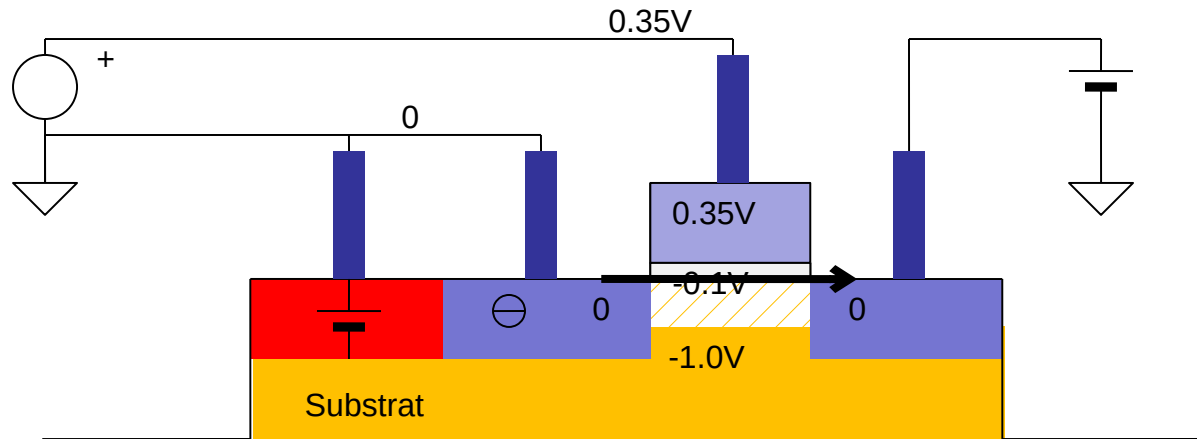
- Für $V_{ds} = 0$, Strom = 0



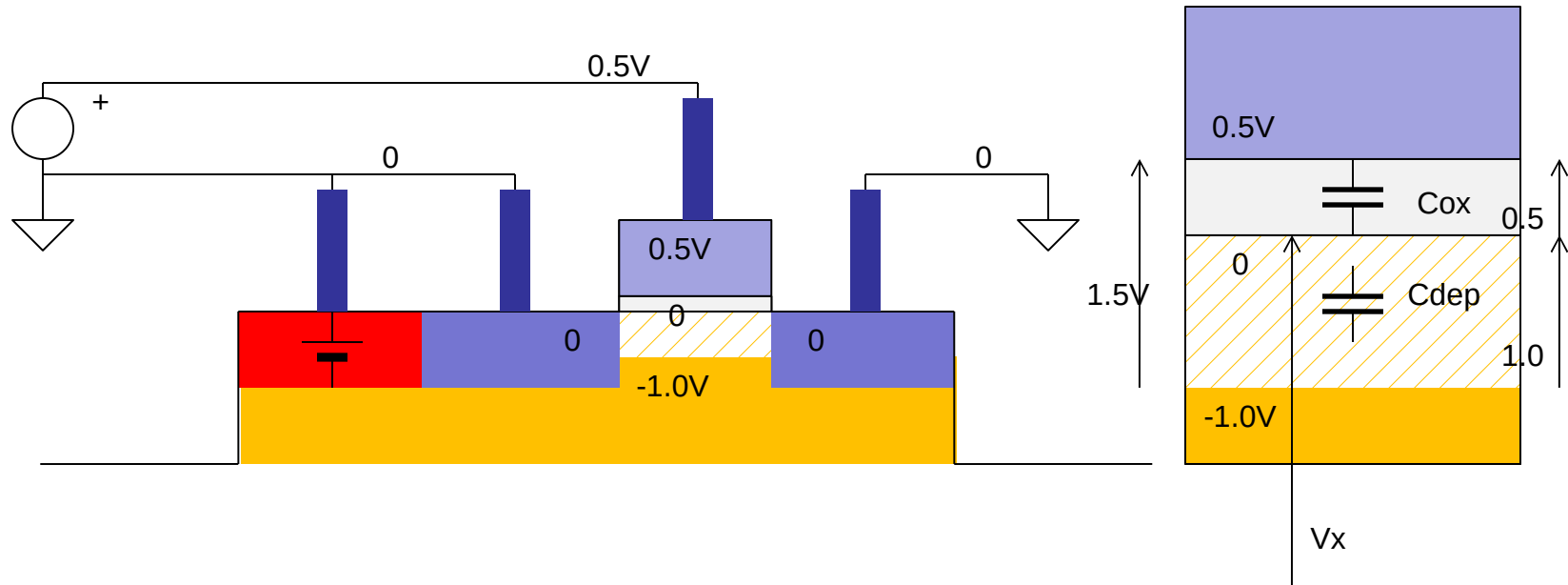
- Drain-Source Strom wenn $V_{ds} > \text{einige } U_T$



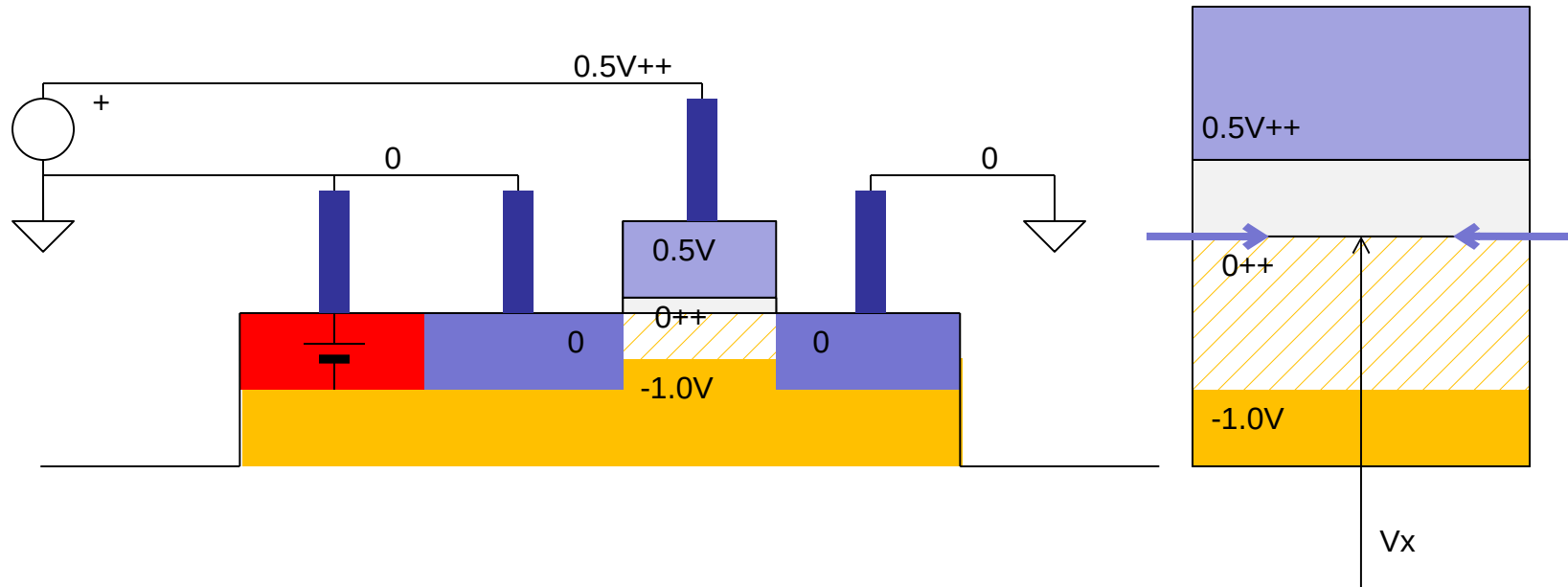
- $V_{ds} > 0$



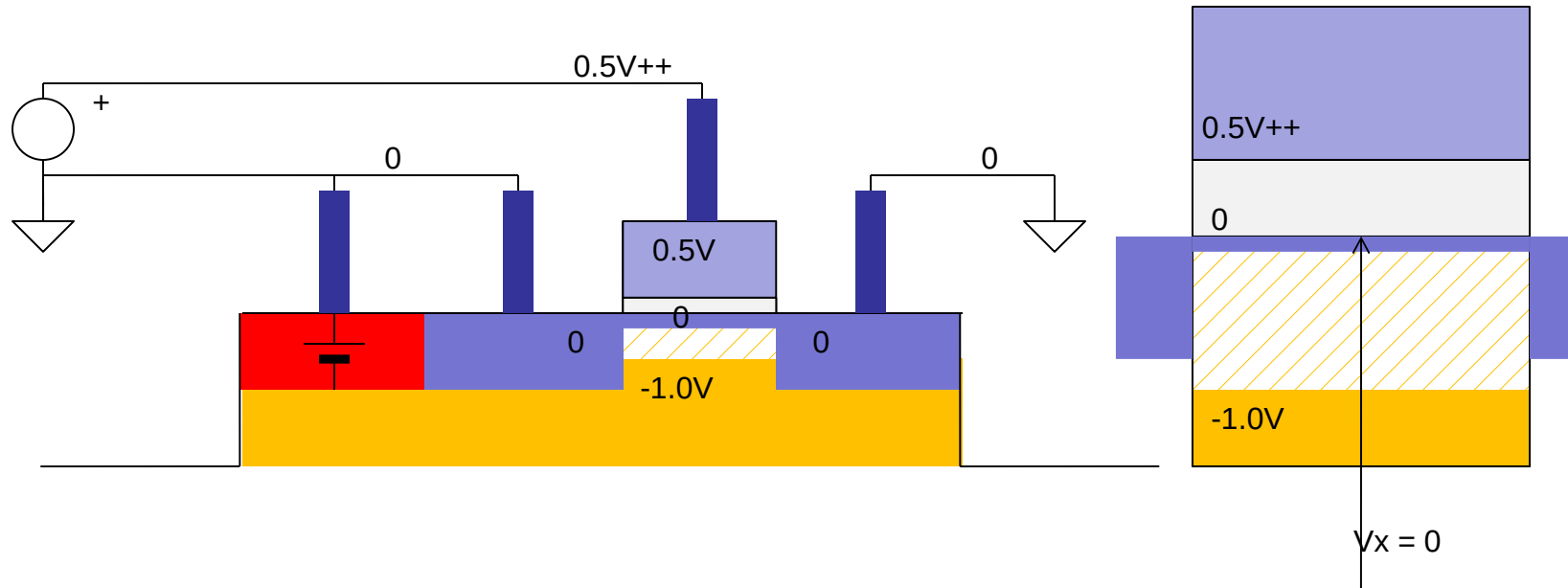
- $V_{gs} = 0.5 \rightarrow V_x = 0$
- Substrat Oberfläche (V_x) - gleiches Potential wie in S und D
- Wir definieren Schwelle-Spannung V_{th} als die Gate-Source Spannung für $V_x = V_s/V_d$



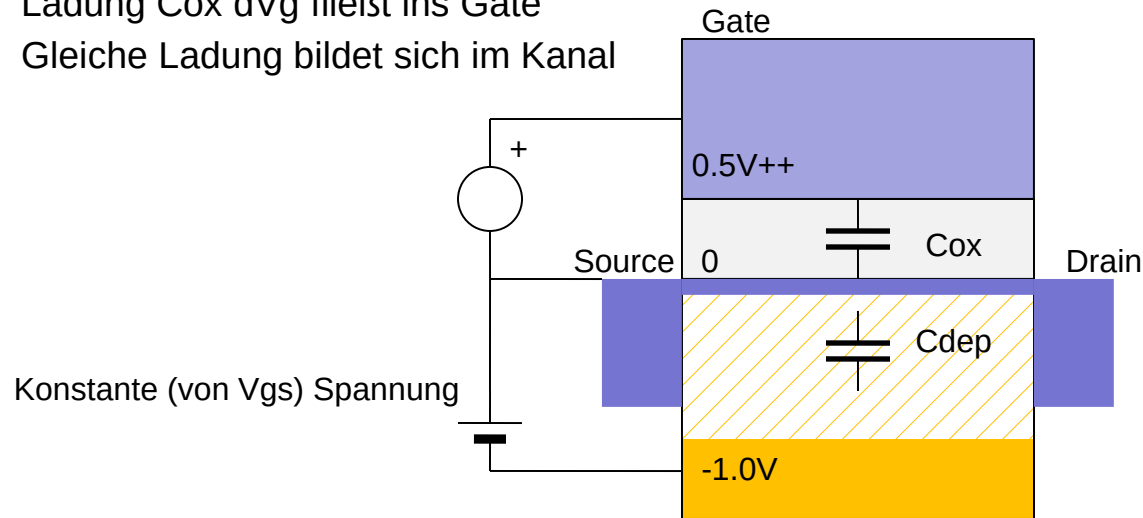
- $V_{gs} > 0.5 \rightarrow V_x > 0$ (?)
- Substrat Oberfläche - Potentialminimum



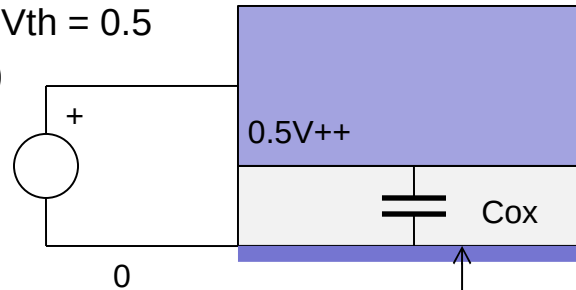
- Elektronen aus der Source und dem Drain bilden einen leitenden Kanal
- Source, Drain und die Substratoberfläche kurzgeschlossen $\rightarrow V_x = 0$



- Untere Elektrode der Kapazität C_{ox} mit S und D kurzgeschlossen – Spannung ist konstant
- Generator V_g sieht nur C_{ox}
- Ladung $C_{ox} dV_g$ fließt ins Gate
- Gleiche Ladung bildet sich im Kanal



- Zusammenfassung:
- $V_g = 0.5 = V_{th}$, $Q_{kanal} = 0$
- $V_g > 0.5$, d $Q_{kanal} = C_{ox} dV_g$
- $Q_{kanal} = C_{ox} (V_g - 0.5)$; $V_{th} = 0.5$
- $Q_{kanal} = C_{ox} (V_{gs} - V_{th})$

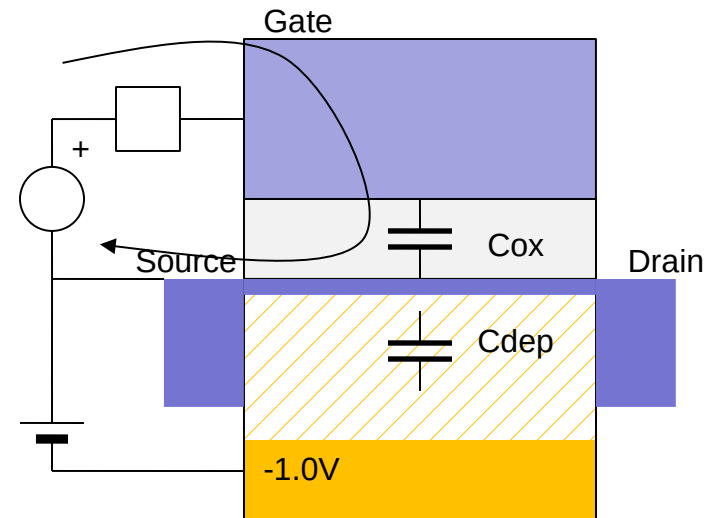
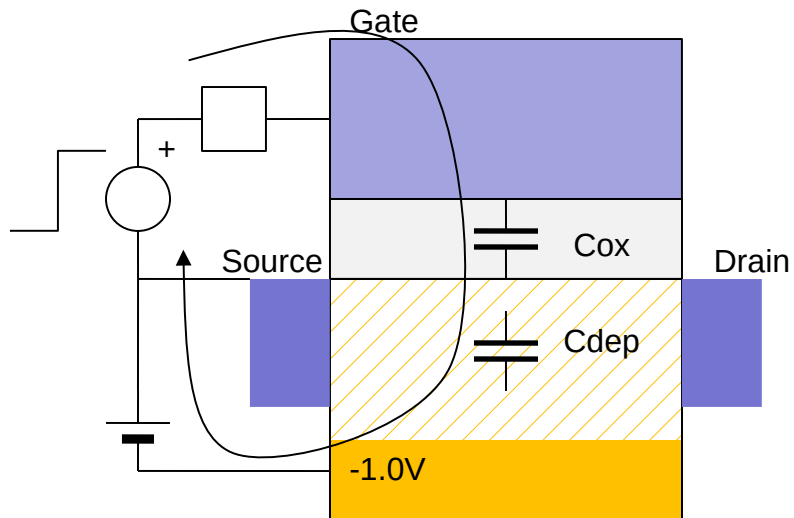
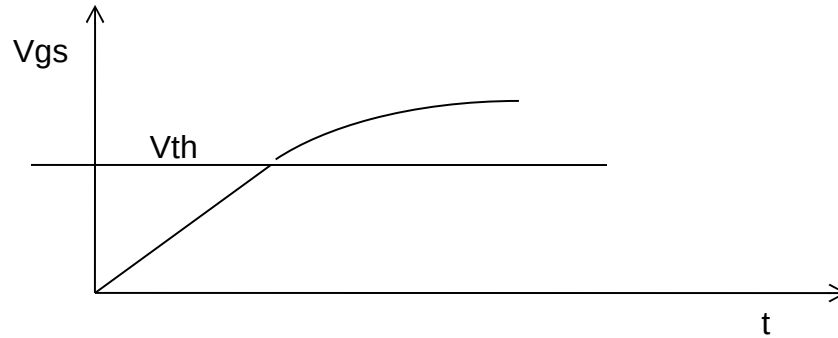


$$Q = C_{ox} (V_g - V_{th})$$

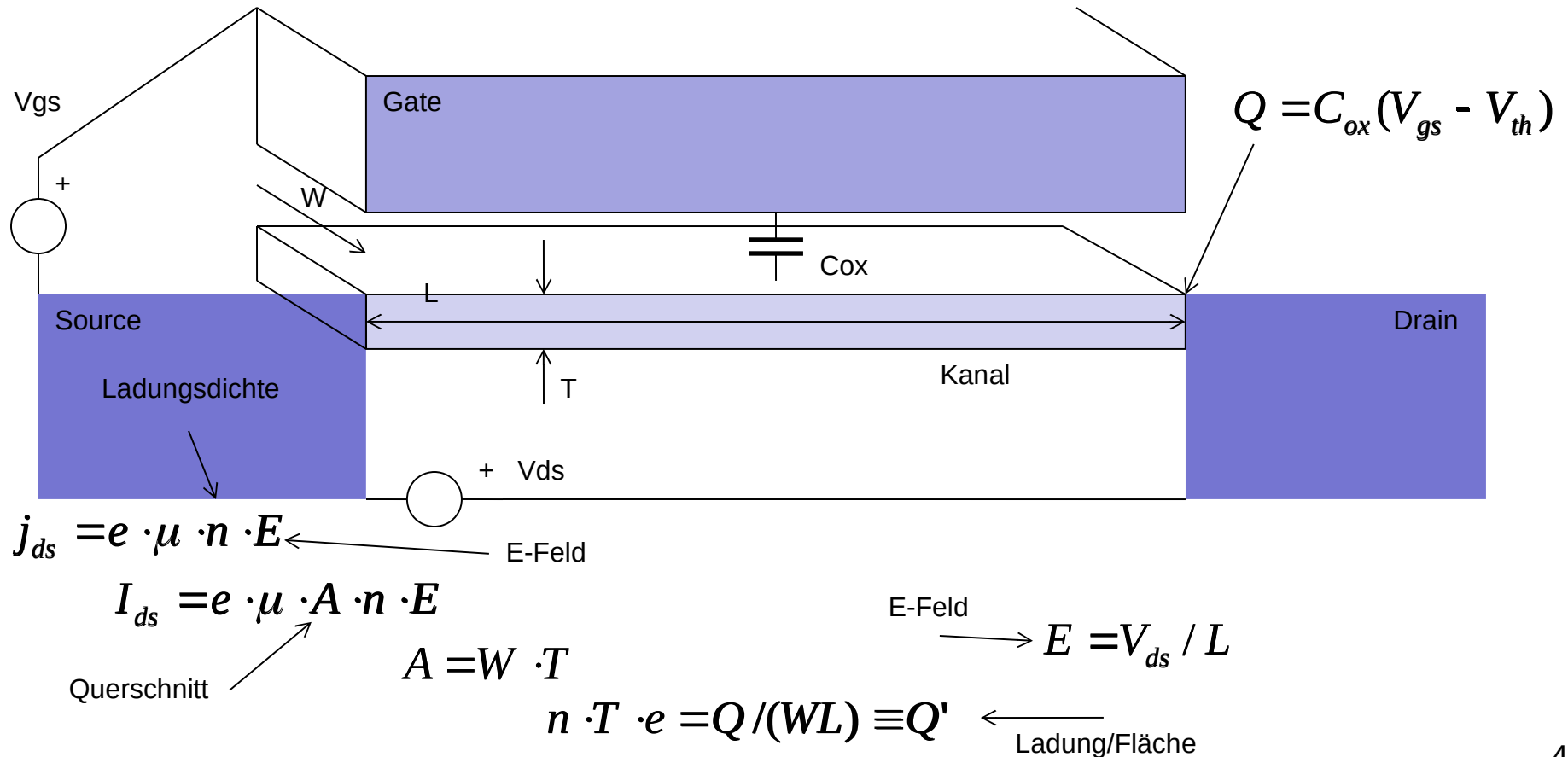
genauer ↓

$$Q = C_{ox} (V_{gs} - V_{th})$$

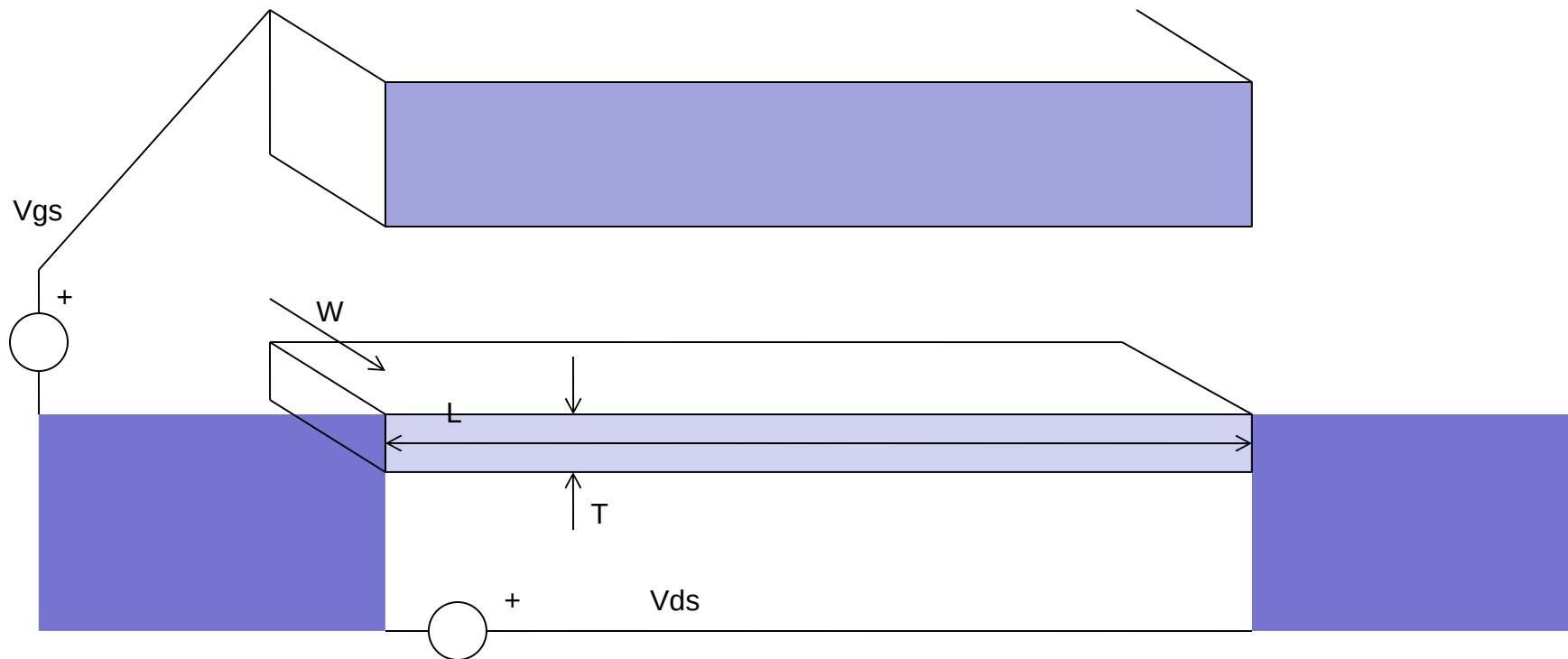
• ...



- Ohmsche Verbindung zwischen der Source und dem Drain
- $V_{ds} \rightarrow$ Strom
- V_{ds} klein $\rightarrow Q_{\text{kanal}} \sim C_{ox} (V_{gs} - V_{th})$ (unabhängig von V_{ds})



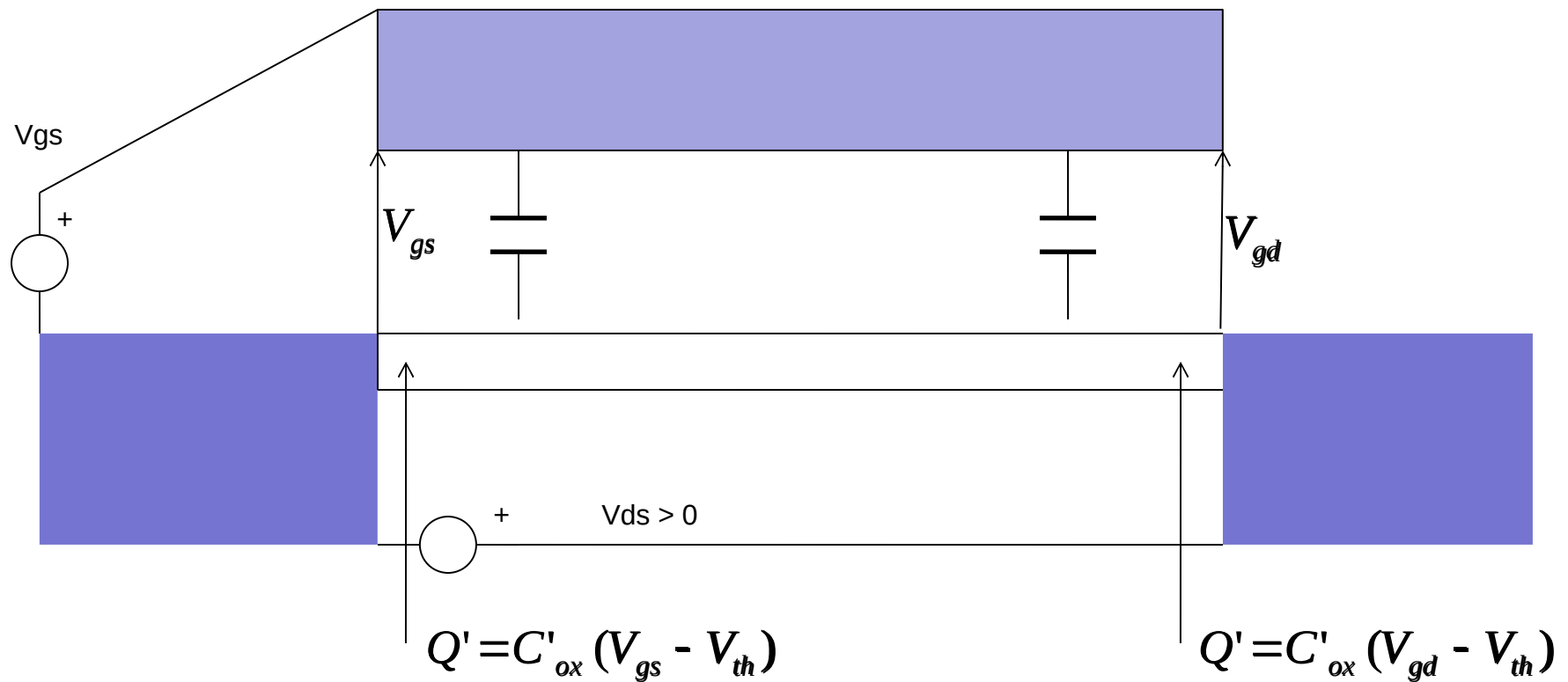
- Annahme: Ladung im Kanal gleichmäßig verteilt
- Strom $\sim W/L$
- Vergleich BJT
- Mobilität NMOS PMOS ($0.067 \text{ m}^2/\text{Vs}$, $0.025 \text{ m}^2/\text{Vs}$), C_{ox}' 5 - $10 \text{ fF}/\mu\text{m}^2$



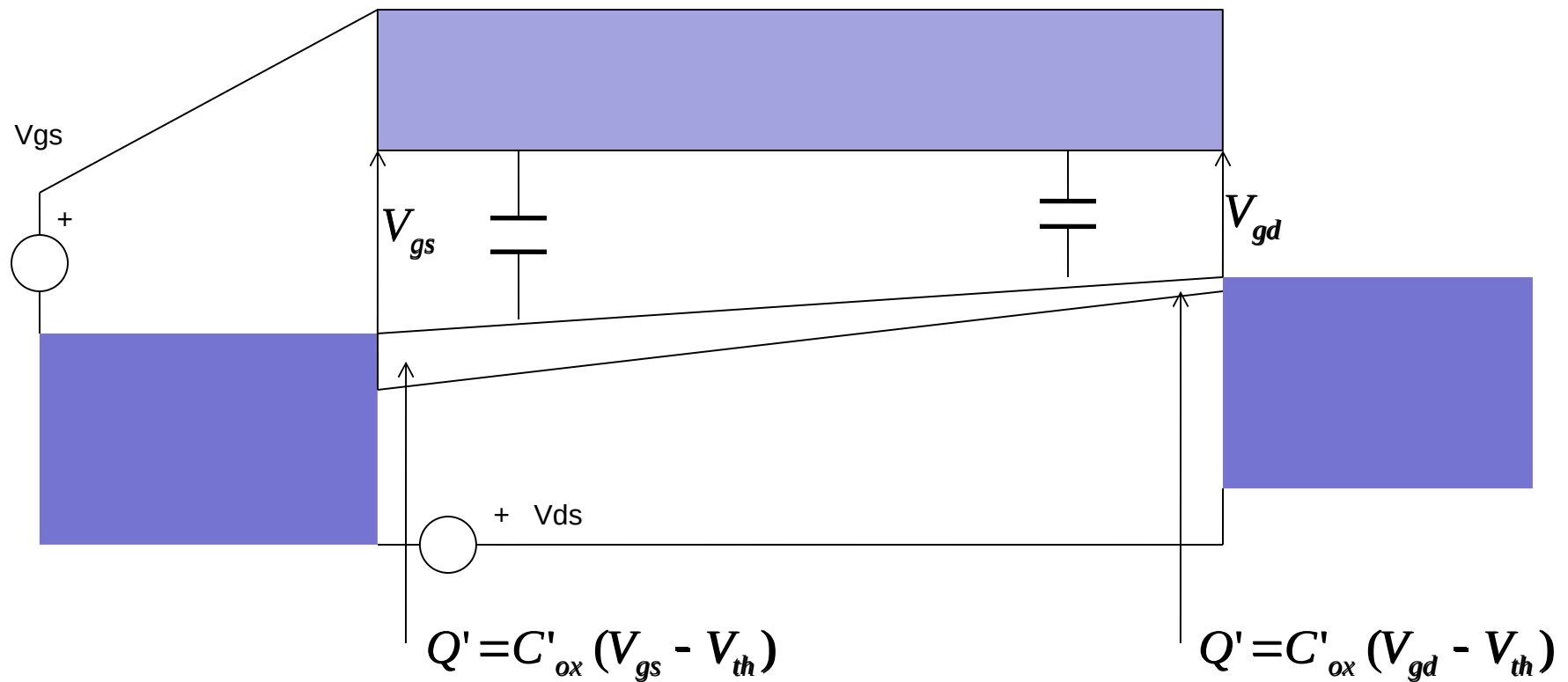
$$I_{ds} = \mu C'_{ox} \frac{W}{L} (V_{gs} - V_{th}) V_{ds}$$

$$C'_{ox} \equiv C_{ox} / WL$$

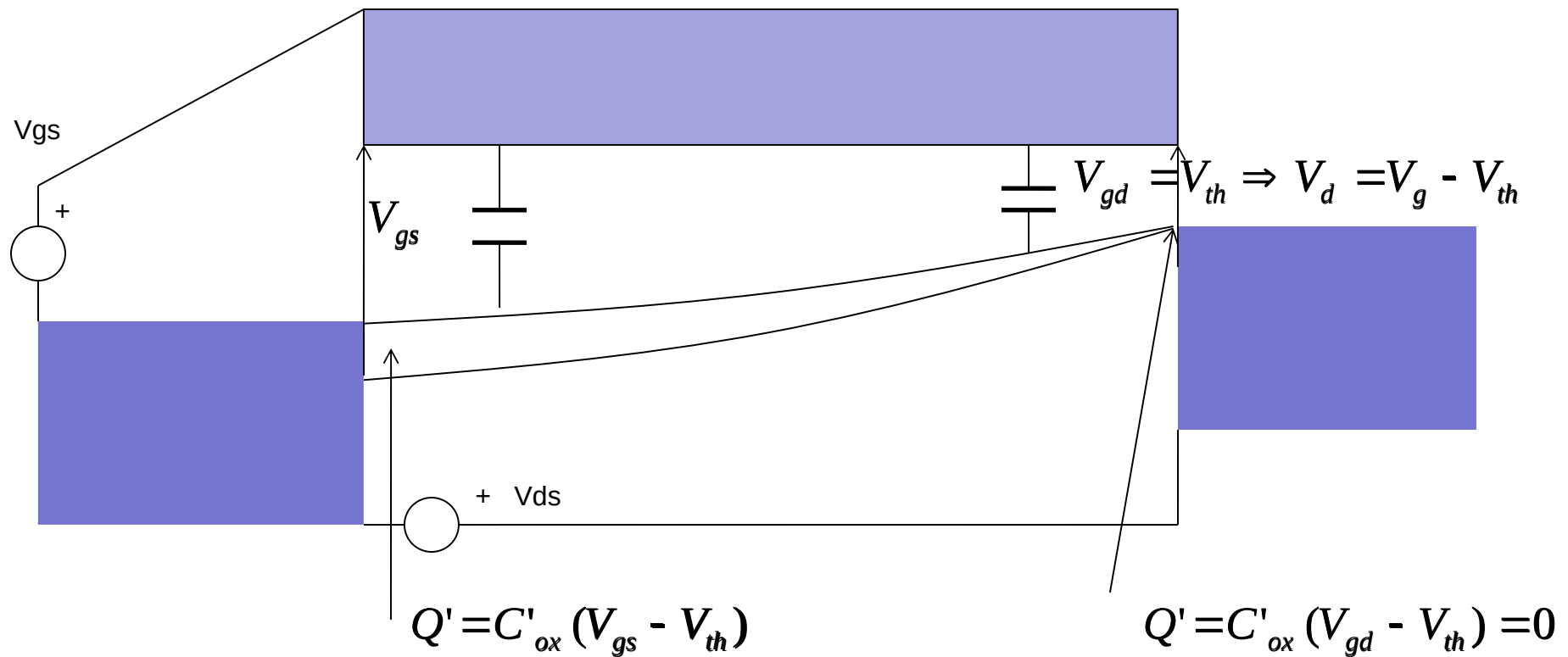
- Kanalladung nah am Source Cox ($V_{gs} - V_{th}$)
- Nahe Drain Cox ($V_{gd} - V_{th}$).



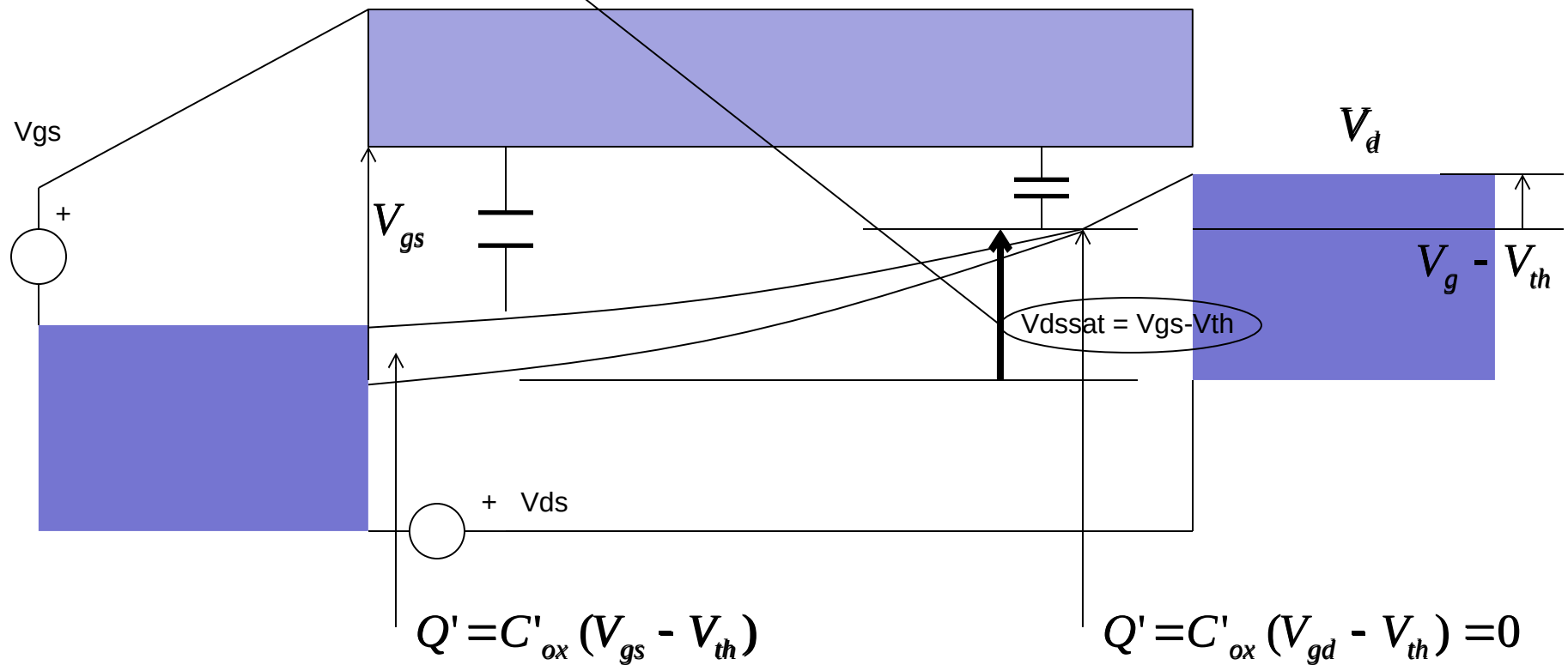
- Weniger Ladung an der Drainseite



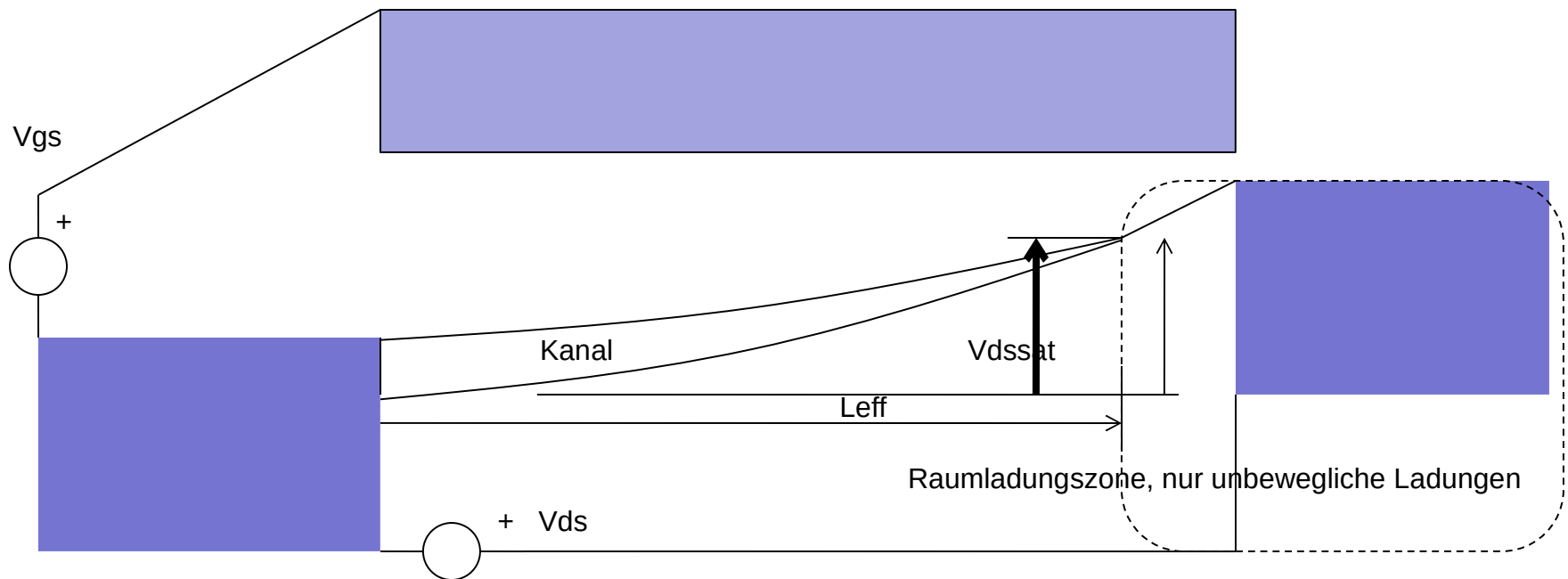
- Für Drain-Spannung $V_{gd} - V_{th} = 0$ ($V_d = V_g - V_{th}$) ist Kanal an der Drain-Seite abgeschnürt
- Pinch off



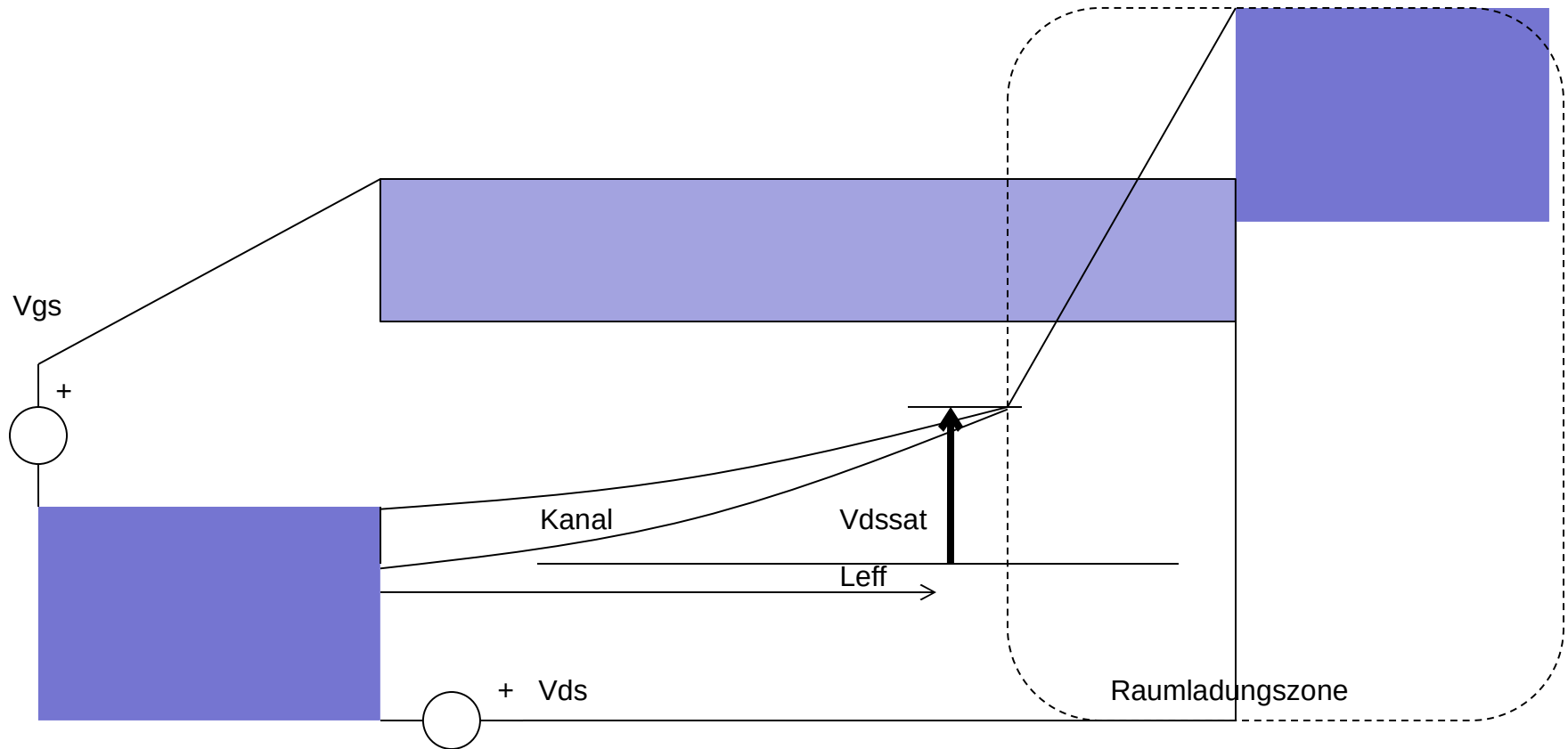
- Weiterer Stromanstieg wird dadurch stark gebremst
- Wir definieren $V_{dssat} = V_{gs} - V_{th}$



- Weiterer Stromanstieg wird dadurch stark gebremst

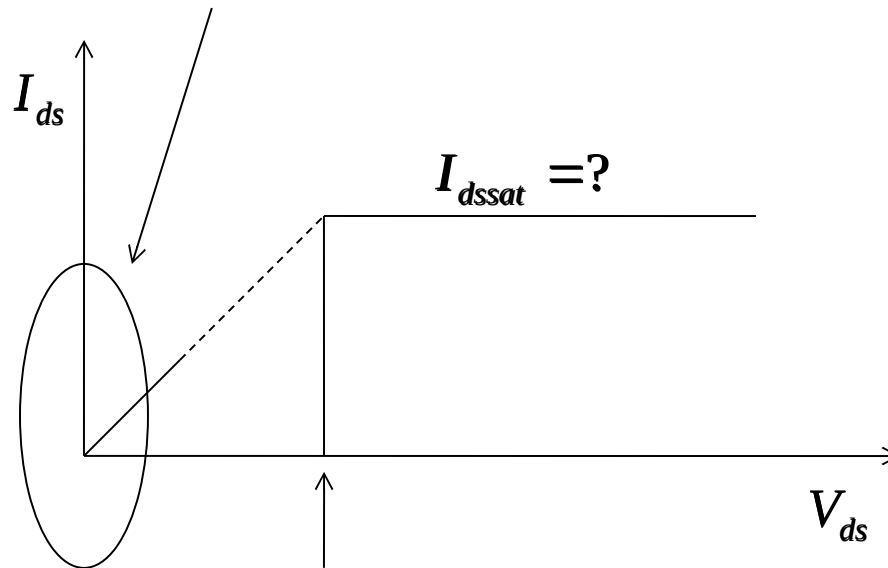


- Weiterer Stromanstieg wird dadurch stark gebremst
- Stromanstieg nur wegen L_{eff} Verkürzung



- Annahme: lineare Formel gilt bis V_{dssat} ($V_{gs} - V_{th}$)

$$I_{ds} = \mu C'_{ox} \frac{W}{L} (V_{gs} - V_{th}) V_{ds}$$



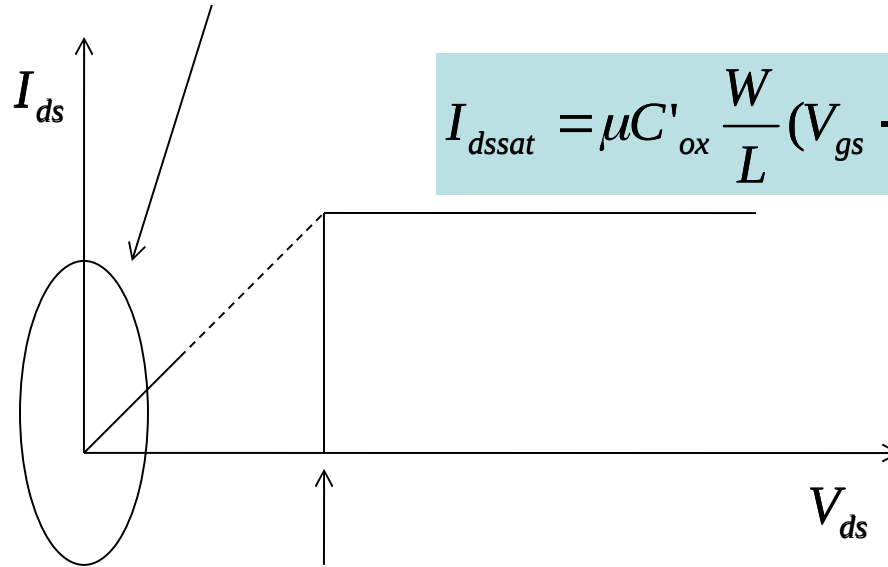
$$V_{ds} = V_{gs} - V_{th} \equiv V_{dssat}$$

$$V_{gd} = V_{th} \Rightarrow V_d = V_g - V_{th} \Rightarrow V_{ds} = V_{gs} - V_{th} \equiv V_{dssat}$$

Bedingung für Sättigung

• ...

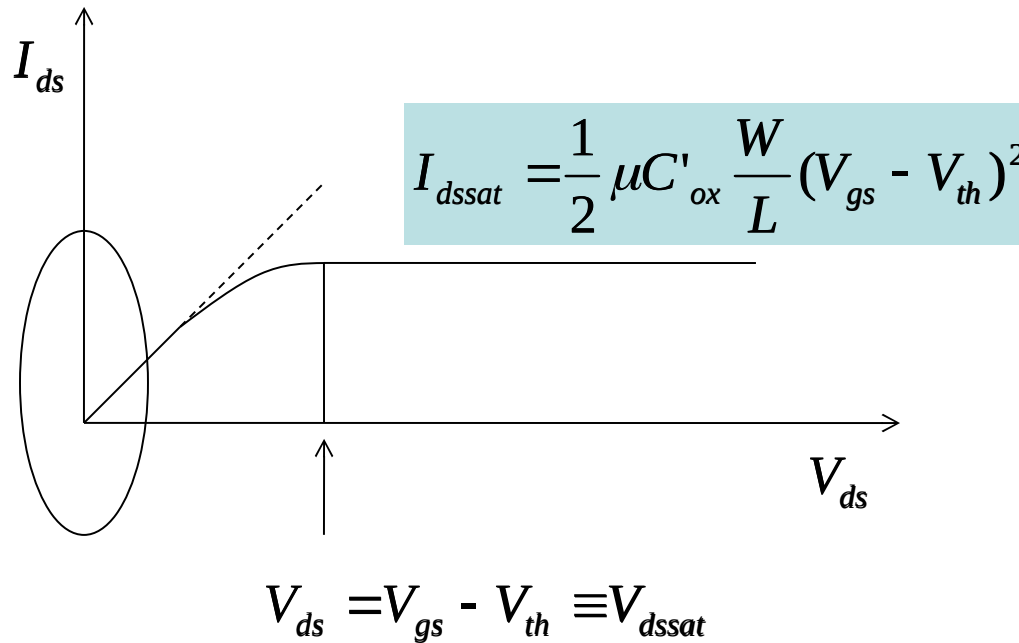
$$I_{ds} = \mu C'_{ox} \frac{W}{L} (V_{gs} - V_{th}) V_{ds}$$



$$I_{dssat} = \mu C'_{ox} \frac{W}{L} (V_{gs} - V_{th})^2$$

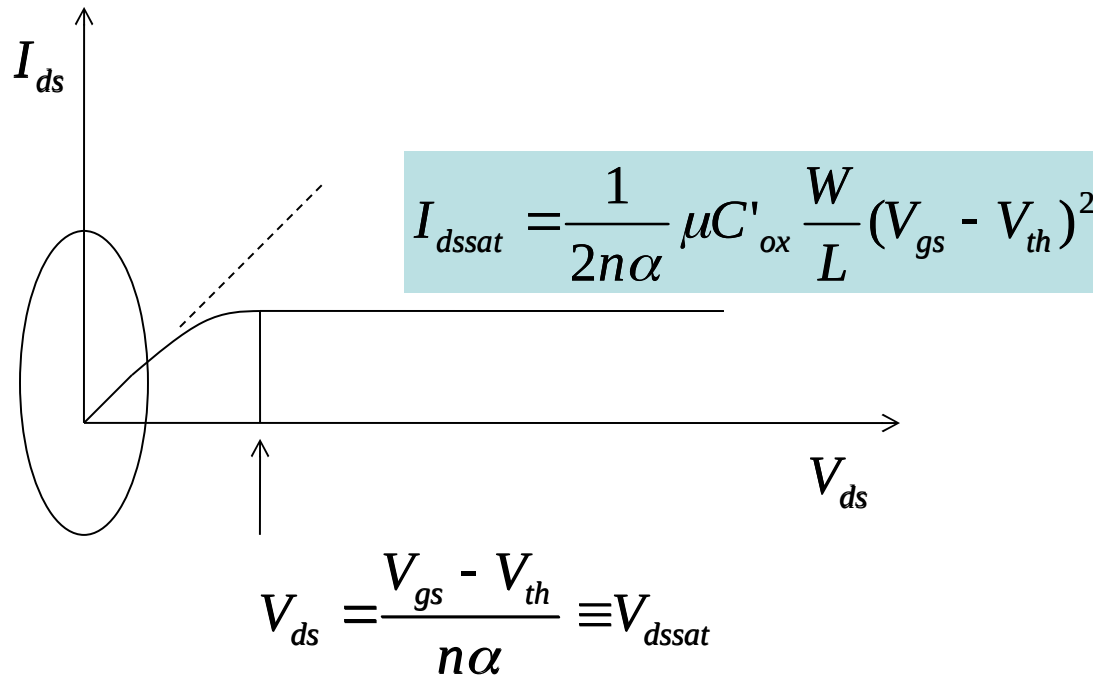
$$V_{ds} = V_{gs} - V_{th} \equiv V_{dssat}$$

- Genauere Berechnung führt zu einem zusätzlichen Faktor 1/2



Idssat (noch genauer)

- Noch genauere Herleitung (Mobilitätssättigung, short channel effects)
- Esat (NMOS) = 2.4V/um
- Esat (PMOS) = 6.4V/um
- $n \sim 1.5$



$$\alpha = \left(1 + \frac{V_{gs}}{nE_{sat}L}\right)$$